

Docket No. 1081.1084/JDH

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

*Assistant Commissioner for Patents
Washington, D.C. 20231*

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, Applicants submit herewith a certified copy of the following foreign application:

Japanese Appln. No. 10-374269, filed December 28, 1998.

It is respectfully requested that Applicants be given the benefit of the earlier foreign filing date, as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

~~STAAS & HALSEY~~

James D. Halsey, Jr.
Registration No. 22,729

Dated: December 21, 1999

By:

700 Eleventh Street, N.W.
Suite 500
Washington, D.C. 20001
(202) 434-1500

#2
4/26/00
J.W.
OH
JC 584 U.S. PTO
09/468639

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

1C584 U.S. PTO
09/468639
12/22/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

願年月日

Date of Application:

1998年12月28日

願番号

Application Number:

平成10年特許願第374269号

願人

Applicant (s):

富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 9月24日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3065600

【書類名】 特許願
【整理番号】 9802166
【提出日】 平成10年12月28日
【あて先】 特許庁長官 伊佐山 建志 殿
【国際特許分類】 G09G 3/28
【発明の名称】 プラズマディスプレイパネル装置
【請求項の数】 21
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内
【氏名】 河田 外与志
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内
【氏名】 青木 正心
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100094525
【弁理士】
【氏名又は名称】 土井 健二
【代理人】
【識別番号】 100094514
【弁理士】
【氏名又は名称】 林 恒▲徳▼
【手数料の表示】
【予納台帳番号】 041380
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】 プラズマディスプレイパネル装置

【特許請求の範囲】

【請求項1】 離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる電源に接続して当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項2】 離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加後、当該放電電圧パルスの印加を終了するとき、前記第1及び第2の電極を前記グランド電源と異なる電源に接続して当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項3】 離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる第1の電源に接続した状態から、前記第1または第2の電極を前記グランド電源と異なる第2の電源に接続した状態に変更して、当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項4】 請求項3において、

前記駆動回路は、前記放電電圧パルスの印加を終了するとき、前記第1または第2の電極を前記第1の電源に接続した状態に戻すことを特徴とするプラズマディスプレイパネル。

【請求項5】離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる第1の電源に接続した状態から、前記第1及び第2の電極を前記グランド電源と異なる第2及び第3の電源にそれぞれ接続した状態に変更して、当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項6】請求項5において、

前記駆動回路は、前記放電電圧パルスの印加を終了するとき、前記第1及び第2の電極を前記第1の電源に接続した状態に戻すことを特徴とするプラズマディスプレイパネル。

【請求項7】離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる第1及び第2の電源に接続した状態から、

前記第1または第2の電極を前記グランド電源と異なる第3の電源に接続した状態に変更して、当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項8】請求項7において、

前記駆動回路は、前記放電電圧パルスの印加を終了するとき、前記第1または第2の電極を前記第1または第2の電源に接続した状態に戻すことを特徴とするプラズマディスプレイパネル。

【請求項9】離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる第1及び第2の電源に接続した状態から、

前記第1及び第2の電極を前記グランド電源と異なる第3及び第4の電源にそれぞれ接続した状態に変更して、当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とするプラズマディスプレイパネル装置。

【請求項10】請求項9において、

前記駆動回路は、前記放電電圧パルスの印加を終了するとき、前記第1及び第2の電極を前記第1及び第2の電源にそれぞれ接続した状態に戻すことを特徴とするプラズマディスプレイパネル装置。

【請求項11】請求項5乃至10のいずれかにおいて、

前記第1及び第2の電極には、逆極性の放電電圧パルスが印加されることを特徴とするプラズマディスプレイパネル装置。

【請求項12】請求項1乃至10のいずれかにおいて、

更に、前記グランド電源に接続され、前記駆動回路に制御信号を供給する制御部を有することを特徴とするプラズマディスプレイパネル装置。

【請求項13】請求項1乃至10のいずれかにおいて、

前記第1及び第2の電極は、表示ラインに沿って平行に設けられた一対の電極であることを特徴とするプラズマディスプレイパネル装置。

【請求項14】請求項13において、

前記放電電圧パルスは、全面書き期間または維持放電期間において印加されることを特徴とするプラズマディスプレイパネル装置。

【請求項15】請求項3または4において、

前記グランド電位は、前記第1の電源電位と第2の電源電位との間の電位であり、前記放電電圧パルス印加時に第3の電極がグランド電源に維持されることを特徴とするプラズマディスプレイパネル装置。

【請求項16】請求項5または6において、

前記グランド電位は、前記第1の電源電位と第2の電源電位との間の電位、または前記第1の電源電位と第3の電源電位との間の電位であり、前記放電電圧パルス印加時に第3の電極がグランド電源に維持されることを特徴とするプラズマディスプレイパネル装置。

【請求項17】表示ラインに沿って平行に設けられた第1及び第2の電極間

で放電させて表示を行うプラズマディスプレイパネル装置において、
グランド電源に接続され、制御信号を生成する制御回路と、
前記制御信号に応答して前記第1及び第2の電極を駆動する駆動回路とを有し

、
前記駆動回路は、前記第1または第2の電極に放電電圧パルスを印加するとき
に、前記第1または第2の電極に、前記グランド電源とは異なる第1の電源から
前記放電電圧パルスの開始電圧を供給し、前記グランド電源とは異なる第2
の電源から前記放電電圧パルスの終了電圧を供給することを特徴とするプラズマ
ディスプレイパネル装置。

【請求項18】請求項17において、
更に、前記第1及び第2の電極に交差して設けられたアドレス電極を有し、
前記放電電圧パルスが第1及び第2の電極に印加されるとき、アドレス電極を
前記第1及び第2の電源の電位の間にあるグランド電位に保つことを特徴とする
プラズマディスプレイパネル装置。

【請求項19】離間して設けられた第1及び第2の電極と、グランド電源と
を有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディ
スプレイパネルの駆動方法において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第
2の電極を前記グランド電源と異なる電源に接続して当該両電極間に所定の放電
電圧を印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項20】離間して設けられた第1及び第2の電極と、グランド電源と
を有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディ
スプレイパネルの駆動方法において、

前記第1及び第2の電極間に放電電圧パルスを印加後、当該放電電圧パルスの
印加を終了するとき、前記第1及び第2の電極を前記グランド電源と異なる電源
に接続して当該両電極間に所定の放電電圧を印加することを特徴とするプラズマ
ディスプレイパネルの駆動方法。

【請求項21】離間して設けられた第1及び第2の電極と、グランド電源と
を有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディ

スプレイパネルの駆動方法において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる第1の電源に接続した状態から、前記第1または第2の電極を前記グランド電源と異なる第2の電源に接続した状態に変更して、当該両電極間に所定の放電電圧を印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマ放電を利用して発光させることにより表示を行うプラズマディスプレイパネル装置及びその駆動方法に関し、特に、放電電流の発生による電源ノイズを低減して誤動作を減らしたプラズマディスプレイパネル装置及びその駆動方法に関する。

【0002】

【従来の技術】

プラズマディスプレイパネル装置（以下PDP装置）は、大画面で広い視野角を有するフラットディスプレイとして注目されている。特に、最近開発された3電極型の面放電交流駆動のPDP装置は、フルカラー表示が可能であり、テレビ受像機やコンピュータ表示装置等の普及が見込まれている。

【0003】

PDP装置は、一対の電極間に放電電圧を印加することにより、電極間に放電を発生し、その放電に伴って蛍光体から光を発生させることにより、所定の表示を行う。そして、この放電電圧を印加するために、少なくとも一方の電極に放電電圧パルスを印加する。放電電圧パルスの印加に伴い、両電極間に高電圧が印加され、放電を発生するが、その放電発生時に過大な放電電流が一方の電極から他方の電極に向かって流れる。

【0004】

図24は、従来の3電極型面放電AC-PDP装置の駆動波形を示す図である。図24（a）には第1の例を、図24（b）には第2の例がそれぞれ示される

。3電極型面放電A C - P D Pは、一方の基板にアドレス電極Aを有し、もう一方の基板にアドレス電極とは垂直方向に配置されたX電極及びY電極を有する。駆動方法は、概略的には、図示される通り、全面書きと全面消去を行うリセット期間R S Tと、表示データに従って選択的に放電を行うアドレス期間A D Dと、アドレス期間で点灯したセルについて維持放電を行う維持放電期間S U Sとからなる。

【0005】

いずれの例においても、各電極の基準電位は、グランド電位であり、電圧パルスを印加するときは、グランド電位から所定の電圧が印加され、所定期間後に元のグランド電位に戻される。リセット期間では、Y電極をグランド電位に保ち全てのX電極に高い電圧の書きパルスW Pを印加する。この書きパルスW Pの印加により、全てのセルが点灯し、ほぼ同じ状態になる。その後、X電極をグランド電位に保ち全てのY電極に消去パルスE Pを印加し、全てのセルを点灯させてから消去する。その結果、全てのセルには壁電荷の蓄積はなくなる。

【0006】

続くアドレス期間A D Dにおいて、Y電極にマイナスのスキャンパルスS C Pが順次印加され、それに同期して表示データに従ってアドレス電極にプラスのアドレスパルスA D Pが選択的に印加される。その結果、両パルスS C P, A D Pの合成電圧が、アドレス電極とY電極との間に印加されて、アドレス放電が発生する。その結果、点灯したセルには壁電荷が蓄積される。そして、維持放電期間において、X電極とY電極に交互に維持放電パルスS U S Pを印加することにより、上記の壁電荷を蓄積したセルについて、複数回の維持放電を発生させる。この維持放電回数により、セルの輝度が制御される。図24(a)の例1では、維持パルスS U S Pがプラスの電圧パルスであるのに対して、図24(b)の例2では、維持パルスS U S Pがマイナスの電圧パルスである。

【0007】

【発明が解決しようとする課題】

上記の通り、維持放電期間では、表示電極であるX電極とY電極との間に、交互に維持電圧パルスS U S Pを印加する。従来の駆動方法では、維持電圧パルス

SUSPの印加は、X電極またはY電極を基準電位であるグランド電位に維持し、このグランド電位から維持放電電圧である正電圧 $+V_s$ のレベルまたは負電圧 $-V_s$ のレベルに駆動し、パルス期間終了後、再度グランド電位に戻すことで行われる。その維持放電電圧が印加される時、X及びY電極間に過大な維持放電電流が流れるが、その経路は、電圧 $+V_s$ または $-V_s$ の維持放電電圧電源から、ソース側スイッチ回路、一方の電極、放電空間、他方の電極、シンク側スイッチ回路、そしてグランド電源となり、最後に維持放電電圧電源のグランド端子に戻るループになる。

【0008】

この維持電圧パルス V_s は、約200Vの電圧と数百nsの時間で立ち上がる高電圧、高速パルスであり、パルス印加に伴い瞬間にピーク状の放電電流が流れ。かかるピーク電流は、パネル容量充放電電流、ガス放電電流と称される。このピーク状の大電流がグランド電源線に流れると、グランド電源線のもつインピーダンス成分により電圧降下が発生し、グランド電位の変動というノイズ成分を発生する。かかるグランド電位のノイズ成分は、周辺の制御回路に混入して、制御信号の波形を乱し、誤動作を招く。或いは、誤動作に至らなくても、制御信号だけでなく駆動波形自体にも歪みが発生し、高調波成分の発生を招く。高調波成分の発生は、周囲に電磁波ノイズを放射する原因になり、外部の電気機器に対して障害を発生させる原因にもなる。

【0009】

かかる問題は、リセット期間におけるX電極とY電極間での書き込みパルスの印加においても、同様に発生する。書き込みパルスWPの印加時の立ち上がり時にガス放電電流が発生し、書き込みパルスWPの印加終了時の立ち下がり時に充放電電流が発生する。

【0010】

更に別の課題として、X、Y電極にグランド電位から正極性の維持パルスSUSPを印加するときに、アドレス電極Aをグランド電位に維持すると、アドレス電極側が負極性になり、アドレス電極の表面上にプラスの電荷が蓄積される。この蓄積電荷は、アドレス期間においてアドレス電圧に加算される極性であるため

過大なアドレス放電を発生させ、隣接セルへの余剰放電を招く。かかる余剰放電はチラツキの原因になる。更に、X、Y電極に対してアドレス電極側が極端な負電圧になると、プラスの電荷がアドレス電極上に設けられた蛍光体に衝突して、蛍光体の寿命を短くする場合がある。

【0011】

かかる課題を解決するために、図24(a)の如く、維持放電期間中にアドレス電極にVaなる中間電圧を印加することが提案されている。しかし、その場合、維持パルスの印加に伴い容量結合等によりアドレス電極の駆動回路の出力側にスパイク状のノイズが重畠すると、その電位が電源電圧レベルを超えた高いレベルになり、駆動回路の素子の耐圧に対する余裕がなくなり十分な信頼性の確保が困難になる。

【0012】

そこで、本発明の目的は、維持パルスまたは書込パルス等の放電電圧パルスを印加するときに、グランド電源にノイズが発生することを防止したプラズマディスプレイパネル装置及びその駆動方法を提供することにある。

【0013】

更に、本発明の目的は、維持パルスまたは書込パルス等の放電電圧パルスを印加するときに、アドレス電極側にプラスの電荷が蓄積されることを防止したプラズマディスプレイパネル装置及びその駆動方法を提供することにある。

【0014】

更に、本発明の目的は、維持パルスまたは書込パルス等の放電電圧パルスを印加するときに、アドレス電極側にプラスの電荷が衝突することを抑制したプラズマディスプレイパネル装置及びその駆動方法を提供することにある。

【0015】

【課題を解決するための手段】

上記の目的を達成するために、本発明は、一対の電極間に放電電圧パルスの印加を、電極をグランド電源とは異なる基準電源に維持した状態から所定の電圧をもつ第1の電源に駆動し、更に基準電源に戻すことにより行う。その結果、放電電圧パルスの印加に伴うガス放電電流や容量充放電電流が、グランド電源線に流

れることが防止される。上記の放電電圧パルスの印加によるガス放電電流や容量充放電電流は、グランド電源とは電気的に分離された基準電源や第1の電源に流れ、グランド電源線には流れず、グランド電源上にノイズが発生することはない。

【0016】

更に、本発明は、一対の電極間に放電電圧パルスの印加を行う場合、電極をグランド電源とは異なる基準電源に維持した状態から所定の電圧をもつ第1の電源に接続し、更に基準電源に戻すように駆動する。その場合、グランド電位が基準電源と第1の電源との間の電位になるように前記基準電源と第1の電源とを選択する。そして、放電電圧パルスを印加する時に、第3の電極をグランド電位に保つことにより、上記の一対の電極との間の電圧を低く抑えることができ、第3の電極への壁電荷の蓄積やプラスイオンの衝突を抑制することができる。

上記の目的を達成するために、本発明は、離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加するとき、前記第1及び第2の電極を前記グランド電源と異なる電源に接続して当該両電極間に所定の放電電圧を印加する駆動回路を有することを特徴とする。

【0017】

上記の発明によれば、放電電圧パルスが印加されるとき、グランド電源と異なる電源から放電電流が供給、吸収されるので、グランド電源線にノイズが発生することはなく、誤動作、駆動波形の乱れを防止することができる。

【0018】

更に、上記の目的を達成するために、本発明は、離間して設けられた第1及び第2の電極と、グランド電源とを有し、前記第1及び第2の電極間で放電を発生させて表示を行うプラズマディスプレイパネル装置において、

前記第1及び第2の電極間に放電電圧パルスを印加後、当該放電電圧パルスの印加を終了するとき、前記第1及び第2の電極を前記グランド電源と異なる電源に接続して当該両電極間に所定の放電電圧を印加する駆動回路を有することを特

徴とする。

【0019】

上記の発明も、同様に、放電電圧パルスが印加されるとき、グランド電源と異なる電源から電極対に電流が供給、吸収されるので、グランド電源線にノイズが発生することではなく、誤動作、駆動波形の乱れを防止することができる。

更に、上記の目的を達成するために、本発明は、表示ラインに沿って平行に設けられた第1及び第2の電極間で放電させて表示を行うプラズマディスプレイパネル装置において、

グランド電源に接続され、制御信号を生成する制御回路と、

前記制御信号に応答して前記第1及び第2の電極を駆動する駆動回路とを有し、

前記駆動回路は、前記第1または第2の電極に放電電圧パルスを印加するときに、前記第1または第2の電極に、前記グランド電源とは異なる第1の電源から前記放電電圧パルスの開始電圧を供給し、前記グランド電源とは異なる第2の電源から前記放電電圧パルスの終了電圧を供給することを特徴とする。

【0020】

更に、本発明は、上記の発明において、前記第1及び第2の電極に交差して設けられたアドレス電極を有し、前記放電電圧パルスが第1及び第2の電極に印加されるとき、アドレス電極を前記第1及び第2の電源の電位の間にあるグランド電位に保つことを特徴とする。

【0021】

かかる発明によれば、アドレス電極と第1及び第2の電極との電位差を少なくすることができ、アドレス電極に蓄積される壁電荷の量を少なくすることができる。また、アドレス電極上の蛍光体へのプラスのイオンの衝突を少なくすことができ、蛍光体の寿命を長くすることができる。

【0022】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。以下の実施の

形態例では、3電極面放電AC型のPDP装置を例にして説明するが、本発明は種々の構成のPDP装置に適用できる。

【0023】

図1は、実施の形態例における3電極面放電AC型のPDPパネルの平面図である。図1に示されたPDPは、背面ガラス基板10に垂直方向に配列された複数のアドレス電極12が設けられ、アドレス電極12の間にリブ20が設けられ、前面ガラス基板14に水平方向に交互に配置されたX電極16とY電極18が設けられる。X電極16は、通常複数の電極が共通に接続され、後述するX共通ドライバによって駆動される。Y電極は、アドレス期間において順にスキャンパルスが印加される走査電極の機能と、維持放電期間において共通に維持放電パルスが印加される表示電極又は維持電極の機能とを有する。

【0024】

図2は、図1のPDPの断面図である。図2には、X電極またはY電極に沿った断面構造が示される。背面ガラス基板10上にはアドレス電極12が設けられ、その上に誘電体層22、隔壁(リブ)20が設けられる。誘電体層22上であってリブ20の間には蛍光体24が設けられる。前面ガラス基板14は、背面ガラス基板10と放電空間を隔てて設けられる。前面ガラス基板14上には、X電極16とY電極18が設けられ、その上に誘電体層22が設けられる。図2に示される通り、アドレス電極12とY電極18との間には対向電極間容量Cgが寄生的に形成され、また、X電極16とY電極18との間にも、アドレス電極間と同様の隣接電極間容量Caが寄生的に形成される。

【0025】

図3は、図1、2のPDPの駆動回路のブロック図である。パネル1に設けられたアドレス電極はアドレスドライバ22により駆動され、X電極はX電極共通ドライバ24により駆動され、Y電極はアドレス期間中に走査ドライバ26により駆動され、維持放電期間中にY電極共通ドライバ28により駆動される。各ドライバは、制御回路30から制御信号を供給されてその駆動動作を制御される。制御回路30は、グランド電源GNDを基準電圧に利用して各制御信号を生成する。

【0026】

制御回路30には、表示データ制御部32、走査ドライバ制御部34、及び共通ドライバ制御部36等を有し、コンピュータやチューナ等からクロックCLK、表示データDATA、垂直同期信号Vsync、水平同期信号Hsync等を供給される。表示データ制御部32は、表示データDATAを受信して必要なA/D変換、階調調整、データ変換等を行って、アドレスドライバ22に表示用のデータ信号を供給する。また、走査ドライバ制御部34は、同期信号に同期して走査ドライバ26に走査制御信号を供給する。更に、共通ドライバ制御部36は、リセット期間時の書き込みパルスや消去パルスの印加、及び維持放電期間での維持パルス印加の為の制御信号を生成し、各ドライバ24、28に供給する。

【0027】

図4は、本実施の形態例の第1の駆動方法を示す図である。この例では、X電極とY電極との間に印加される維持パルスの例である。図4(a)は、アドレス電極A、X、Y電極への駆動波形を示し、図4(b)は、X、Y電極の駆動回路と放電電流の経路を示す。図4の第1の駆動方法では、維持放電期間において、X、Y電極と共にグランド電源GNDとは異なる負の第1の電源電位-V1に維持し、交互に、正の第2の電源電位+V2に駆動した後に再度第1の電源電位-V1に戻す。そのために、駆動回路内には、グランド電源GNDを基準とする電源V2、V1が設けられ、第1の電源-V1と第2の電源+V2は、グランド電源線GNDとは電気的に別の電源線を構成する。

【0028】

X電極の駆動回路は、NチャネルトランジスタQ5、Q6で構成され、それらのトランジスタは、共通ドライバ制御部36からの制御信号を供給される。X電極は、トランジスタQ6を介して第1の電源-V1に接続され、トランジスタQ5を介して第2の電源+V2に接続される。また、Y電極の駆動回路は、走査ドライバ回路として各Y電極毎にPチャネルトランジスタQ1、NチャネルトランジスタQ2、ダイオードD1、D2が設けられ、Y共通ドライバとしてNチャネルトランジスタQ3、Q4が設けられる。このトランジスタQ1、Q2及びダイオードD1、D2は、全てのY電極に対して同様に接続される。トランジスタQ1

、Q2には、走査ドライバ制御部34からの走査制御信号が供給され、各Y電極毎に走査パルスを印加する動作を行う。また、トランジスタQ3、Q4には、共通ドライバ制御部36からの制御信号が供給され、維持放電時に、ダイオードD1及びトランジスタQ3を介して第1の電源-V1に接続され、ダイオードD2とトランジスタQ4を介して第2の電源+V2に接続される。

【0029】

図4(a)に示される通り、維持放電を行うために、期間t1においては、トランジスタQ3、Q6を導通させて、X、Y電極と共に第1の電源-V1の電位に維持する。（より正確にはY電極はダイオードD1のフォワード電圧分だけ第1の電源-V1よりも高い電位に維持される。）そして、トランジスタQ3をオフにし、トランジスタQ4をオンにすることで、Y電極を第2の電源+V2に接続して放電パルスを印加する。パルス期間の後にトランジスタQ4をオフにしてトランジスタQ3をオンにし、再度Y電極を第1の電源-V1に接続する。

【0030】

従って、期間t1でY電極に放電パルスを印加した時は、図4(b)に示される通りの経路、第2の電源+V2、トランジスタQ4、ダイオードD2、Y電極、放電セル、X電極、トランジスタQ6、第1の電源-V1の経路で、放電電流が流れる。従って、グランド電源線GNDにはこの過大な放電電流は流れない。

【0031】

更に、放電パルスの印加が終了するときのパルスの立ち下がり時に、電極間が第1の電源-V1を経由して電流が流れる。この時も、グランド電源線GNDには電流が流れない。

【0032】

また、期間t2では、今度はX電極側に放電パルスが印加されるが、その時は、図4(b)に示された経路と反対の経路、第2の電源+V2、トランジスタQ5、X電極、放電セル、Y電極、ダイオードD1、トランジスタQ3、そして第1の電源-V1の経路で、放電電流が流れる。この場合も、グランド電源GNDには過大な放電電流が流れることはない。

【0033】

従って、グランド電源GNDには、大電流によるノイズは発生せず、グランド電源を基準電源として利用する制御回路30に誤動作を発生させることはなく、また制御回路が生成する制御信号が乱れることはない。

【0034】

更に、維持パルスが印加される時に、アドレス電極はグランド電位に維持される。維持パルスの印加は、X、Y電極を、グランド電位よりも低い第1の電源-V1からグランド電位よりも高い第2の電源+V2にし、更に第1の電源-V1に戻すことで行われる。従って、グランド電位に維持されたアドレス電極とX、Y電極との間は、維持パルスの電圧のほぼ中間の電圧が印加されるだけである。そのため、維持パルスの印加時に、アドレス電極の電位が低くなりすぎてプラスの電荷が過剰に蓄積されたり、強く衝突したりすることは防止される。

【0035】

図5は、本実施の形態例における第2の駆動方法を示す図である。図5(b)の駆動回路は、図4(b)と同じ構成である。図5は、図4の逆極性の維持パルスが印加される例である。即ち、図5(a)の駆動波形に示される通り、X、Y電極は、グランド電位GNDよりも高い正の電源+V2に接続され、グランド電位より低い負の電源-V1に駆動され、更に正の電源+V2に戻される。従って、期間t1において、Y電極に負の放電パルスが印加された時、図5(b)に示す経路、正の電源+V2、X電極、放電セル、Y電極、ダイオードD1、トランジスタQ3、及び負の電源-V1の経路で放電電流が流れる。即ち、グランド電源線GNDには放電電流は流れなず、ノイズも発生しない。期間t2では、X電極側に負の放電パルスが印加されるので、図4(b)に示した経路で放電電流が流れ、グランド電源GNDへの放電電流の流入はない。

【0036】

図5の場合も、放電パルスが印加された時に、アドレス電極はグランド電位に維持されるので、X、Y電極との間に大きな電界が印加されず、アドレス電極側にマイナスの電荷が蓄積されたり、衝突したりすることが防止される。特に、アドレス電極の電位がX、Y電極よりも低いので、プラスの電荷が蛍光層に衝突することは防止される。

【0037】

図6は、本実施の形態例における第3の駆動方法を示す図である。この例では、X電極とY電極に逆極性の放電パルスを同時に印加し、その合成電圧をX、Y電極間に印加することにより、放電を発生させる。その場合に、X、Y電極は共に、グランド電源GNDとは別の電源-V3, +V2, -V1に駆動されるので、グランド電源GNDに放電電流が流れることはない。

【0038】

図6(a)の駆動波形に示される通り、最初にX、Y電極を負の電源-V3の電位に維持する。そして、期間t1では、Y電極を正の電源+V2に駆動すると同時にX電極をよりマイナスの負の電源-V1に駆動する。これら二つの駆動パルスの合成により、図4, 5で示した如き放電パルスがX、Y電極間に印加されたことになる。そして、パルス印加終了時に再度X、Y電極が電源-V3に戻される。期間t2では、両電極を負の電源-V3の電位から、上記と逆極性の放電パルスを印加することにより、両電極間に期間t1とは逆方向の電圧を印加して放電を発生させる。この場合も、放電発生時には両電極がグランド電位とは別の電源から放電電流を供給し、吸収するので、グランド電源にノイズが発生することはない。

【0039】

図6(b)に駆動回路が示される。第3の駆動方法を行うために、この駆動回路には、図4(b)、図5(b)の駆動回路に加えて、電源-V3が加えられ、トランジスタQ7, Q8, Q9, Q10が加えられる。これらのトランジスタは、それぞれの電極の共通ドライバ回路24, 28を構成し、対応する共通ドライバ制御部36から制御信号を供給される。

【0040】

この駆動回路では、期間t1において、先ず、トランジスタQ9, Q10, Q7, Q8を導通して、両X、Y電極を電源-V3に維持する。そして、トランジスタQ6を導通させてX電極を電源-V1に接続すると共に、トランジスタQ4を導通させて、トランジスタQ4, ダイオードD2を介してY電極を電源+V2に接続する。その結果、図示される通り、電源+V2、トランジスタQ4、ダイ

オードD2、Y電極、放電セル、X電極、トランジスタQ6、電源-V1の経路で放電電流が流れる。次に、トランジスタQ9、Q10、Q7、Q8を導通して、両X、Y電極を電源-V3に戻す。この時に、両電極間の寄生容量が短絡されるが、その短絡電流も、電源-V3に流れるだけである。以上の通り、期間t1において、両電極に逆極性の放電パルスを印加しても、それに伴ってグランド電源にノイズが発生することは防止される。

【0041】

期間t2においては、上記と全く逆極性の動作を行うだけであり、グランド電源への放電電流や短絡電流の流入はなく、ノイズの発生はない。

【0042】

上記の第3の方法によれば、X、Y電極に印加する放電パルスの立ち上がり、立ち下がりの電圧変化の程度を第1及び第2の方法に比較して低くすることができる。これにより、それぞれの電極の駆動を容易にし、駆動に伴い発生する高調波を小さくすることができる。

【0043】

図7は、本実施の形態例における第4の駆動方法を示す図である。この例でも、第3の駆動方法と同様に、X電極とY電極に逆極性の放電パルスを同時に印加し、その合成電圧をX、Y電極間に印加することにより、放電を発生させる。但し、第4の駆動方法では、両電極を正の電源+V3の基準電位にした状態から、Y電極をより高い正の電源+V2に駆動すると共に、X電極を負の電源-V1に駆動し、更に、基準電位+V3に戻す。これにより、両電極に逆極性の放電パルスを印加して、それらの合成電圧を両電極間に印加する。

【0044】

図7(b)の駆動回路は、基本的には図6(b)と同じである。そして、期間t1の放電パルスを印加した状態では、放電電流は、図示される経路の、電源+V2、X電極、放電セル、Y電極、ダイオードD1、トランジスタQ3、そして電源-V1の経路で流れる。そのため、グランド電源GNDには放電電流は流れず、ノイズも発生しない。放電パルスが終了するときも、両電極はグランド電源GNDに接続されないので、短絡電流がグランド電源に流れることはない。

【0045】

第3、第4の駆動方法においても、アドレス電極がグランド電位に保たれるので、アドレス電極とX電極、Y電極との間の電位は、小さくなり、壁電荷の蓄積やプラス電荷の衝突の問題を抑えることができる。

以下、上記の4種類の駆動方法を利用した具体的なPDPの駆動の実施の形態例について説明する。

【0046】

[第1の実施の形態例]

図8は、第1の実施の形態例の駆動波形を示す図である。また、図9は、その駆動を行う駆動回路を示す図である。この実施の形態例は、3電極型面放電A C - PDPに対して適用した駆動波形と駆動回路の構成を示している。図8の駆動波形に示される通り、維持放電期間SUSでのX、Y電極の駆動波形と、前面書き込み期間Wでの両電極の駆動波形が、上記の第1の駆動方法の駆動波形に類似する。駆動回路は、トランジスタQ1、Q2がアドレス期間においてY電極の走査駆動に利用され、その時ダイオードD1、D2は共に逆バイアスになる。また、その他のトランジスタは前面書き込みや維持放電期間において、共通ドライバ制御部により制御される。

【0047】

本実施の形態例において、背面側に並行配置されたY電極、X電極の表示電極に対するサスティン電圧パルスの印加方法は、電源-Vs1、+Vs2の二つの電源電圧間でサスティン電圧パルスSUSPを形成し、Y、X電極の各々に印加するものである。アドレス期間ADDが終わった後、Y電極、X電極とアドレス電極ともに電圧レベルは、トランジスタQ41、Q42により一旦グランド電位GNDに設定され、その後、サスティン期間SUSが開始される。サスティン期間の開始と共に、Y電極、X電極ともに電圧レベルを電源-Vs1レベルまで立ち下げて、これを基準電圧として設定し、アドレス電極の電圧レベルはグランド電位GNDの状態としそれを維持する。そして、Y、Xの維持電極間に對して、電源-Vs1の基準電圧から、まずY電極に対して電源+Vs2のレベルのサスティン電圧パルスSUSPを印加することにより、X電極とY電極間にサスティ

ン放電を発生させ放電発光を発生させると同時に、ピーク状のガス放電電流が流れる。この時の放電電流は、Y電極側が高電位レベルに高められているので、電源+V_s2の供給電源からY電極側のスイッチング素子Q4、Y電極、放電セル、X電極を経由して、X電極側のスイッチング素子Q6を通り、電源-V_s1に至る経路で流れる。この時、両電源+V_s2、-V_s1のグランド端子側GNDを一点接地するか、至近距離でグランド電源GNDに接続することにより、放電電流はグランド電源線GNDを流れることがなく、従って、グランド電源GNDの電位を乱すようなノイズの発生は防止される。

【0048】

また、通常、電源出力からスイッチング素子に至る配線経路に為いて、ピーク電流を供給する時の電圧ドロップを防ぎ電圧レベルを補償するため、電荷を供給する電解コンデンサ等の大容量コンデンサを接続する。図9に示される通り、本実施の形態例では、このコンデンサC1も電源+V_s2と電源-V_s1の間に直接接続するようにして、グランド電源線GNDには接続しない。そうすることにより、ガス放電電流がグランド電源線GNDに流れることを防止する。ガス放電電流が流れ終わった後、Y電極側電位を再び電源-V_s1レベルに戻すことによりY電極側へのサスティン電圧パルスSUSPの印加を終了する。この時も、両電極間に流れる短絡電流は、グランド電源線を流れずに、基準電源-V_s1に流れただけである。

【0049】

次のタイミングで、同様にX電極側にサスティン電圧パルスSUSPを印加するが、この時のガス放電電流は、パネル内で電流方向が逆になるだけで、それ以外については全く同じ効果が得られる。

【0050】

本実施の形態例では、以上のようなサスティン電圧パルスをX、Y電極に交互に連続的に印加する間、アドレス電極の電位をグランド電位GNDに維持する。従って、アドレス電極と維持電極X、Y間の電位差は、グランド電位GNDと電源+V_s2の電位または電源-V_s1の電位との差になり、電源+V_s2または-V_s1の絶対値を等しく設定すれば、従来の方式に比べ半分の電位差に低減さ

れ、アドレス電極上への電荷の過剰蓄積を防止することができ、放電ミス等の誤動作を改善することが可能になる。

【0051】

次に、本実施の形態例では、パネル全面に渡る表示セルを周期的に活性化させるための全面書き込みパルスWPに対しても、同様な駆動方式を適用する。即ち、全面書き込み期間Wに入ると同時に、Y電極、X電極に一斉に基準電圧-Vw1を印加してその電位をグランド電位より低くする。そして、この基準電圧-Vw1から、X電極側に対して電源+Vwxの電位を印加することにより、全面書き込み放電を発生させる。この全面書き込み放電による電流は、図9の駆動回路内において、電源+Vwxの供給電源側のX電極側のスイッチング素子Q15、X電極、放電セル、Y電極を経由して、Y電極側のスイッチング素子D1、Q11を通り、基準電源-Vw1に至る経路で流れる。この時、両電源+Vwx、-Vw1のグランド端子側を一点接地するか、至近距離でグランド電源GNDに接続することにより、放電電流はグランド電源線GNDを流れることはない。従って、グランド電位GNDを乱すようなノイズの発生はない。全面書き込み期間の終了後は、Y電極、X電極ともグランド電源GNDの電位に戻し、全ての電極間電位差を無くしてリセット状態にする。

【0052】

全面消去の期間は、Y電極側より電圧+Ve yレベルの鈍波パルスを印加するが、これは、Y電極側のスイッチング素子Q14を動作させて印加するものであり、トランジスタQ14のオン抵抗が高めのものを使用するか、トランジスタQ14の出力側に直列に図示しない抵抗を挿入する方法により鈍り波形を得るようにしている。

【0053】

【第2の実施の形態例】

図10は、第3の実施の形態例の駆動波形を示す図である。また、図11は、その駆動回路を示す図である。第1の実施の形態例と対応する部分には同じ引用番号を付した。第2の実施の形態例は、第1の実施の形態例と逆極性の維持パルスSUSPや全面書き込みパルスWPを利用する。また、全面書き込み時に、書き込みパルス

はY電極に供給される。そして、基準電源として正の電源+Vw2、+Vs2が利用される。

【0054】

この実施の形態例では、サステイン期間の基準電圧を正極性の電源+Vs2に設定しており、この電源+Vs2のレベルから電源-Vs1をピーク電圧とした負極性のサステイン電圧パルスSUSPを、X、Y電極に印加する。

【0055】

このメリットは、放電が発生する電圧パルスが負極性のポテンシャルであるため、放電発生時において維持電極であるY、X電極側に放電ガスの正のイオンが集積し、それらの電極と対向するアドレス電極側には電子が集積する形になる。従って、従来例のようなアドレス電極側上の蛍光体に対する正のイオン衝撃を避けることができる。その結果、長寿命化のメリットがある。また、サステイン電圧パルスSUSPのみならず、全面書き込み電圧パルスWPの印加においても同様の効果を狙って、正極性の基準電圧+Vw2から負極性の書き込み電圧-VwyをY電極に印加する。

【0056】

【第3の実施の形態例】

図12は、第3の実施の形態例の駆動波形を示す図である。また、図13は、その駆動回路を示す図である。この例では、サステイン期間は、第1の実施の形態例(図8)と同等であり、X、Y電極を負の基準電源-Vs1にして、それぞれに正の電源+Vs2の維持パルスSUSPを印加する。一方、全面書き込み期間の基準電圧の印加が、第1の実施の形態例と異なる。

【0057】

図12に示される通り、全面書き込み期間Wに入ると同時に、Y電極に対しては負極性の基準電圧-Vw1、X電極に対しては正極性の基準電圧+Vw2の様に、別々の基準電圧を印加する。このように別々の基準電圧を用いることにより、書き込み動作に必要な電極間の電圧を基準電圧で加算することができるので、書き込みパルスWPとして基準電圧+Vw2から電源+Vwxを印加する時の電圧振幅を小さくすることができる。このように、それぞれの電圧変化分を小さくできる

ことで、よりいっそう高調波等のノイズ低減ができる。

【0058】

図13の駆動回路に示される通り、全面書き込み時にトランジスタQ15を導通させてX電極を一旦基準電源+Vw2にし、更に、トランジスタQ18を導通させてX電極を電源+Vwxにする。Y電極側の駆動回路は、第1の実施の形態例と同様の構成である。

【0059】

[第4の実施の形態例]

図14は、第4の実施の形態例の駆動波形を示す図である。また、図15は、その駆動回路を示す図である。この例では、サステイン期間は、第2の実施の形態例(図10)と同等であり、X、Y電極を正の基準電源+Vs2にして、それぞれに負の電源-Vs1の維持パルスSUSPを印加する。一方、全面書き込み期間の基準電圧の印加が、第2の実施の形態例と異なり、第3の実施の形態例(図12)とは逆の極性の例になっている。

【0060】

この例では、全面書き込み期間の駆動は、Y電極に対しては負極性の基準電圧-Vw1、X電極に対しては正極性の基準電圧+Vw2を印加する様に、それぞれ別の基準電圧を印加して、書き込み動作に必要な書き込み電圧をY電極側から書き込みパルスWPとして電源-Vwyを印加する。逆極性の基準電圧が書き込み電圧の一部として共用されので、各電極の駆動電圧が低く、高調波等のノイズを低減できる。

【0061】

図15の駆動回路においては、Y電極側の駆動回路に、負の基準電源-Vw1を印加するトランジスタQ11と、書き込みの為の負の電源-Vwyを印加するトランジスタQ19とが設けられる。X電極側の駆動回路は、第2の実施の形態例(図11)と同様である。

【0062】

[第5の実施の形態例]

図16は、第5の実施の形態例の駆動波形を示す図である。また、図17は、

その駆動回路を示す図である。この例では、サステイン期間は、第2の実施の形態例（図10）及び第4の実施の形態例（図14）と同等であり、X、Y電極を正の基準電源+Vs2にして、それぞれに負の電源-Vs1の維持パルスSUSPを印加する。一方、全面書き込み期間の基準電圧の印加が、及び書き込み電圧の印加が、X、Y電極に対して共に逆極性のパルスによって行われる。

【0063】

第1乃至第4の実施の形態例では、Y電極またはX電極のどちらかの電極にのみ書き込みパルスを印加したが、本実施の形態例では、両方の電極からの合成電圧で書き込みを行う。即ち、全面書き込み期間の開始とともに、Y電極に負極性の基準電圧-Vw1、X電極に正極性の基準電圧+Vw2を印加した後、Y電極側から電源-Vwyのレベルの負極性の書き込みパルスYwを、X電極側から電源+Vwxのレベルの正極性の書き込みパルスXwを印加して、その合成電圧により書き込み放電を発生させる。この方法によれば、両電極にそれぞれ印加される電圧パルスの振幅を半分近くまで低減でき、誘起されるノイズも低く抑えることができる。図17に示される通り、X電極の駆動回路には、トランジスタQ15、Q18が設けられ、Y電極の駆動回路には、トランジスタQ11、Q19が設けられ、上記の全面書き込みパルスの印加を可能にする。

【0064】

[第6の実施の形態例]

図18は、第6の実施の形態例の駆動波形を示す図である。また、図19は、その駆動回路を示す図である。この例では、サステイン期間、全面書き込み期間とともに、第1の実施の形態例とほぼ同等の波形構成を示している。しかし、複数の駆動用電源において電圧レベルが近似している電源を共用して、その種類を削減し、駆動回路の小型化およびコストダウンを図る。即ち、正極性のサステイン電圧をアドレス側のアドレス電圧Vaと共に通化し、負極性のサステイン電圧をアドレス期間におけるY電極基準電圧-Vmyおよび全面書き込み期間の基準電圧-Vmyとを共通化する。これにより、必要な電源の種類は上記の共用電源Va、-Vmyの2種類と、専用電源として、Y電極側の消去電源+Ve yと、X電極側の書き込み電源+Vwxと、Y電極側のスキャン用電源-Vyの3種類の計5種類

で構成され、第1の実施の形態例より簡単化される。

【0065】

また、それに関係して、駆動回路の駆動トランジスタの数も図19に示される通り、第1の実施の形態例よりも減らすことができる。従って、全体として大幅な小型化およびコストダウンが実現される。

【0066】

第6の実施の形態例のような駆動電源の共用化は、第2乃至第5の実施の形態例においても行うことができる。その場合、同極性で近似する電位をもつ電源を共用化することで、電源の簡単化と駆動回路の簡単化を行うことができる。

【0067】

[第7の実施の形態例]

図20は、第7の実施の形態例の駆動波形を示す図である。また、図21は、その駆動回路を示す図である。この例は、図6で示した第3の駆動方法を利用して、維持放電と全面書込のX、Y電極の駆動を行う。

【0068】

まず、維持放電期間SUSにおいては、図20に示される通り、両電極をグランド電位から負の基準電源-Vs1に駆動する。その状態から、一方の電極をより負の電源-Vs3に駆動すると同時にもう一方の電極を正の電源+Vs2に駆動する。その結果、第3の駆動方法で説明したとおり、それぞれの電極に印加する維持パルスの合成によって、両電極間に維持放電に必要な電圧が印加される。但し、その放電電流は、グランド電源GNDには流れない。

【0069】

同様に、全面書込期間においても、図20に示される通り、両電極をグランド電位から負の基準電源-Vs1に駆動する。そして、X電極は正の電源+Vwxに駆動して書込パルスXwを印加し、Y電極は負の電源-Vwyに駆動して逆極性の書込パルスYwを印加する。これらの逆極性のパルスの合成により、両電極間に十分大きな書込電圧が印加され、全面放電を発生させる。この時も、放電電流はグランド電源には流れない。全面書込期間においても、それぞれの電極に印加されるパルスは小さいので、それに伴う高調波等のノイズを少なくすることが

できる。

【0070】

図21には、上記の電極駆動を行う為の電源と駆動トランジスタが示される。図20の駆動波形を実現するように、それらの駆動トランジスタが制御回路により制御される。

【0071】

[第8の実施の形態例]

図22は、第8の実施の形態例の駆動波形を示す図である。また、図23は、その駆動回路を示す図である。この例は、図7で示した第4の駆動方法を利用して、維持放電と全面書込のX、Y電極の駆動を行う。即ち、第7の実施の形態例と逆極性の駆動方法である。

【0072】

まず、維持放電期間SUSにおいては、図22に示される通り、両電極をグランド電位から正の基準電源+Vs1に駆動する。その状態から、一方の電極をより正の電源+Vs2に駆動すると同時にもう一方の電極を負の電源-Vs3に駆動する。その結果、第4の駆動方法で説明したとおり、それぞれの電極に印加する維持パルスの合成によって、両電極間に維持放電に必要な電圧が印加される。但し、その放電電流は、グランド電源GNDには流れない。

【0073】

同様に、全面書込期間においても、図22に示される通り、両電極をグランド電位から正の基準電源+Vs1に駆動する。そして、X電極は正の電源+Vwxに駆動して書込パルスXwを印加し、Y電極は負の電源-Vwyに駆動して逆極性の書込パルスYwを印加する。これらの逆極性のパルスの合成により、両電極間に十分大きな書込電圧が印加され、全面放電を発生させる。この時も、放電電流はグランド電源には流れない。全面書込期間においても、それぞれの電極に印加されるパルスは小さいので、それに伴う高調波等のノイズを少なくすることができる。

【0074】

図23には、上記の電極駆動を行う為の電源と駆動トランジスタが示される。

図22の駆動波形を実現するように、それらの駆動トランジスタが制御回路により制御される。

【0075】

以上、本発明の実施の形態例を、3電極型面放電A C-P D Pを例にして説明したが、本発明の主旨に従えば、従来タイプの対向放電型A C-P D Pパネルに対しても同様に適用可能である。

【0076】

【発明の効果】

以上、本発明によれば、放電パルスを印加する場合に、グランド電源とは異なる電源から別の電源に電極を駆動することにより、放電に伴うピーク性の大電流がグランド電源線に流れることを防止できる。従って、グランド電位へのノイズが防止され、それに伴う誤動作、駆動波形の歪み、電磁波放射の障害の問題を解決することができる。

【0077】

また、放電パルスの振幅の中間の電位にアドレス電極を維持することで、ガス放電発生時におけるX、Y電極からなる維持電極とアドレス電極との間の電圧を小さく抑えることができる。従って、アドレス電極側の誘電体層表面に電荷が過剰に蓄積するのを防止することができ、それに伴う誤り放電の発生を防止することができる。

【図面の簡単な説明】

【図1】

実施の形態例における3電極面放電A C型のP D Pパネルの平面図である。

【図2】

図1のP D Pの断面図である。

【図3】

図1、2のP D Pの駆動回路のブロック図である。

【図4】

本実施の形態例における第1の駆動方法を示す図である。

【図5】

本実施の形態例における第2の駆動方法を示す図である。

【図6】

本実施の形態例における第3の駆動方法を示す図である。

【図7】

本実施の形態例における第4の駆動方法を示す図である。

【図8】

第1の実施の形態例の駆動波形を示す図である。

【図9】

第1の実施の形態例の駆動回路を示す図である。

【図10】

第2の実施の形態例の駆動波形を示す図である。

【図11】

第2の実施の形態例の駆動回路を示す図である。

【図12】

第3の実施の形態例の駆動波形を示す図である。

【図13】

第3の実施の形態例の駆動回路を示す図である。

【図14】

第4の実施の形態例の駆動波形を示す図である。

【図15】

第4の実施の形態例の駆動回路を示す図である。

【図16】

第5の実施の形態例の駆動波形を示す図である。

【図17】

第5の実施の形態例の駆動回路を示す図である。

【図18】

第6の実施の形態例の駆動波形を示す図である。

【図19】

第6の実施の形態例の駆動回路を示す図である。

【図 2 0】

第 7 の実施の形態例の駆動波形を示す図である。

【図 2 1】

第 7 の実施の形態例の駆動回路を示す図である。

【図 2 2】

第 8 の実施の形態例の駆動波形を示す図である。

【図 2 3】

第 8 の実施の形態例の駆動回路を示す図である。

【図 2 4】

従来例の P D P の駆動波形を示す図である。

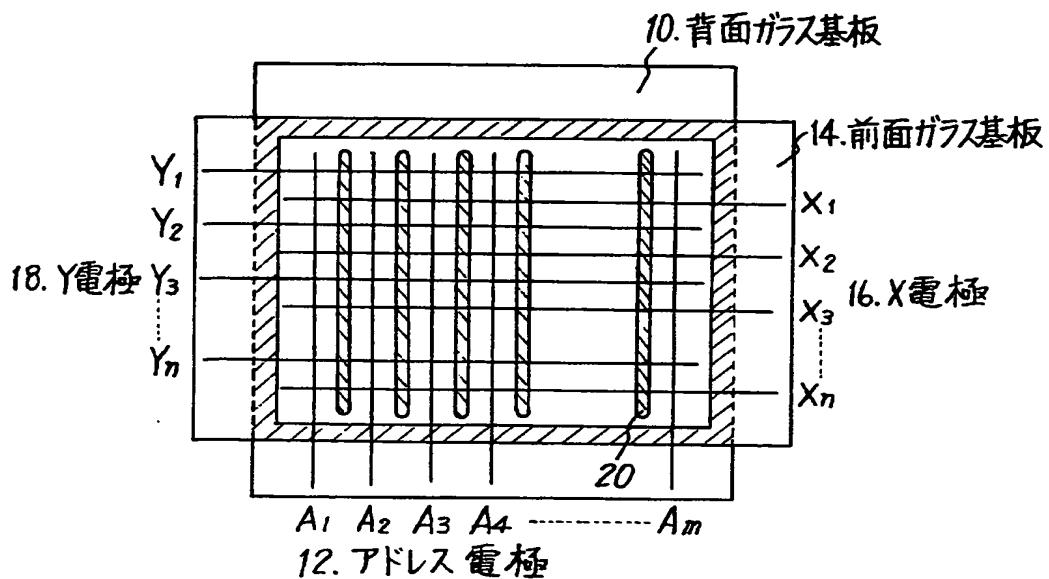
【符号の説明】

1 2	アドレス電極
1 6	X 電極
1 8	Y 電極
3 0	制御回路
G N D	グランド電源
− V 1, + V 2, − V 3	グランド電源と異なる電源

【書類名】 図面

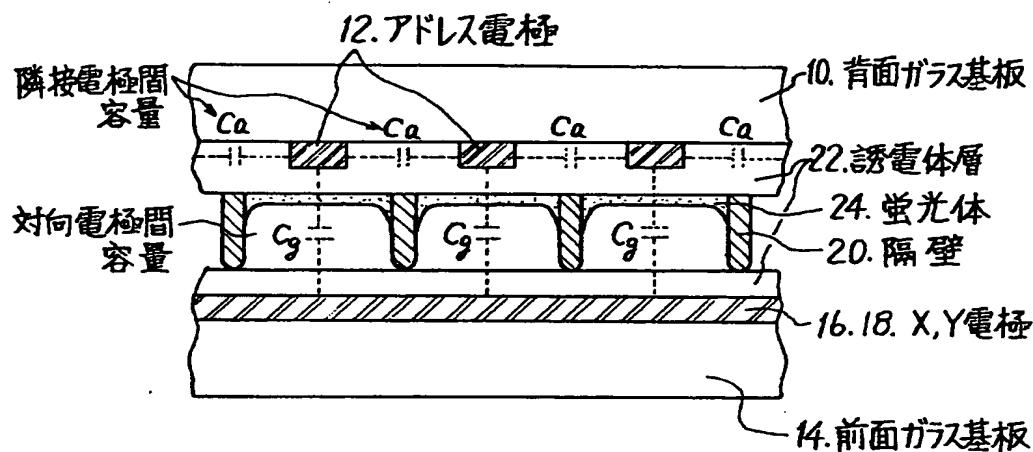
【図1】

面放電AC型PDPパネル平面図



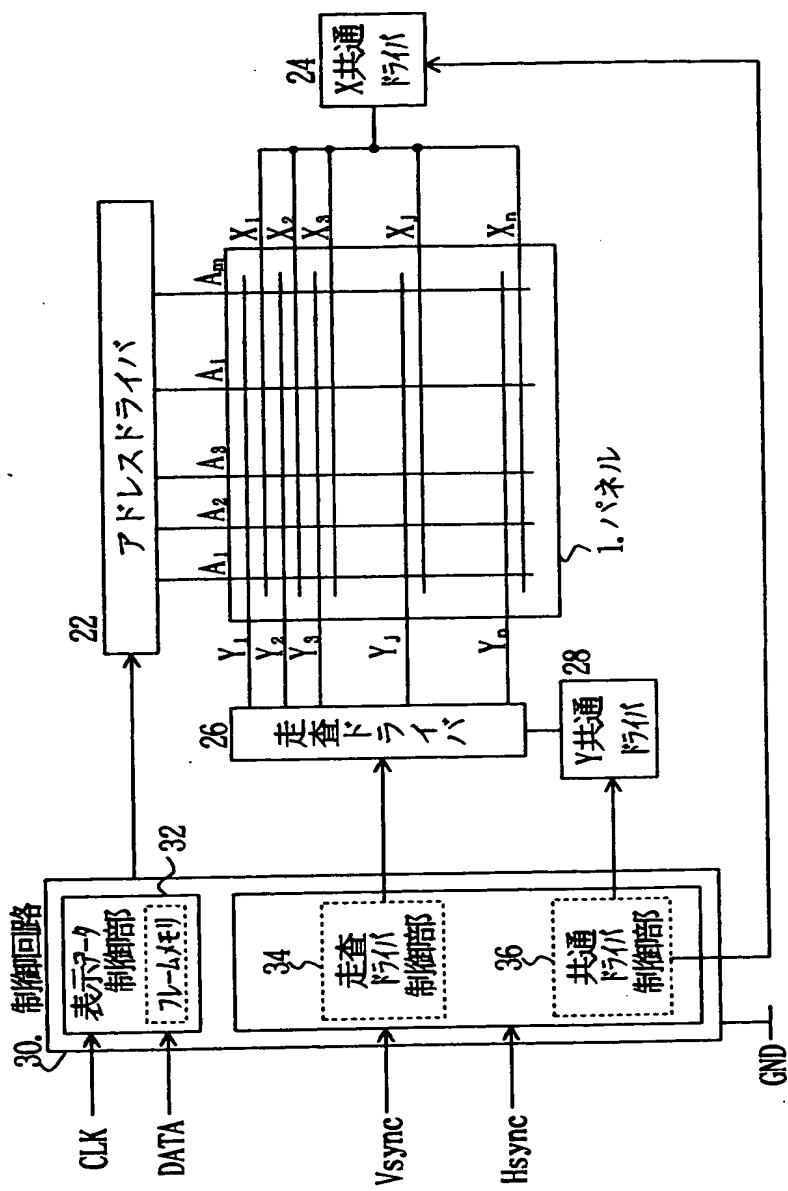
【図2】

面放電AC型PDPパネル断面図



【図3】

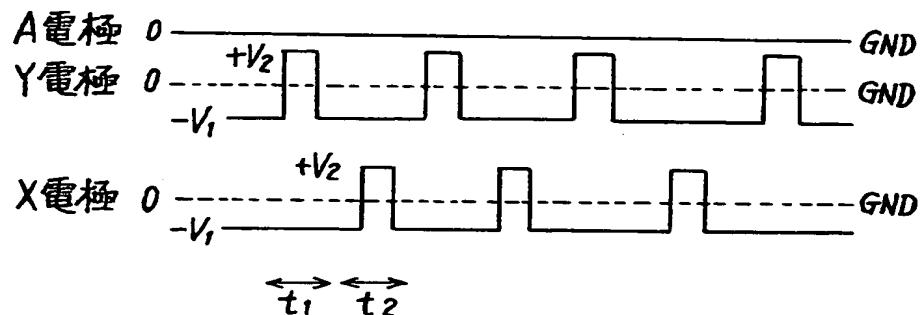
面放電AC型PDP駆動回路ブロック図



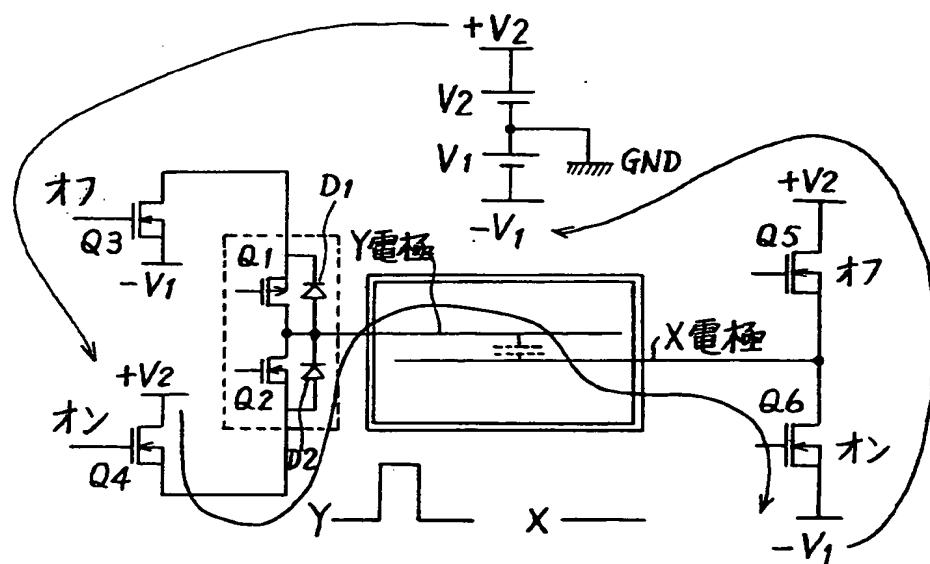
【図4】

駆動方法(1)

(a) 駆動波形



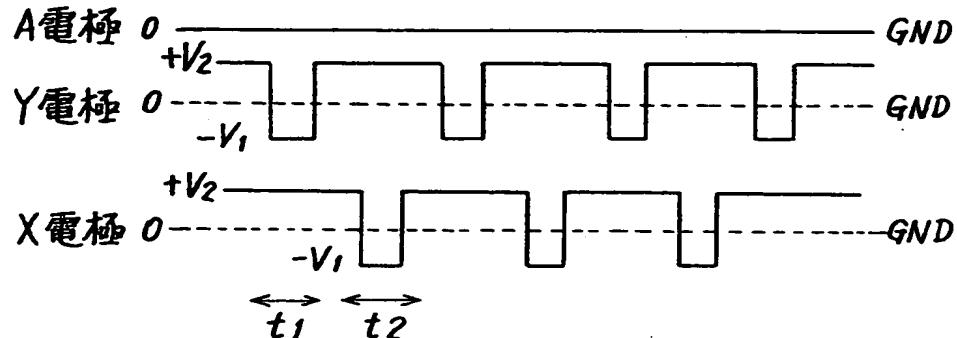
(b) 駆動回路



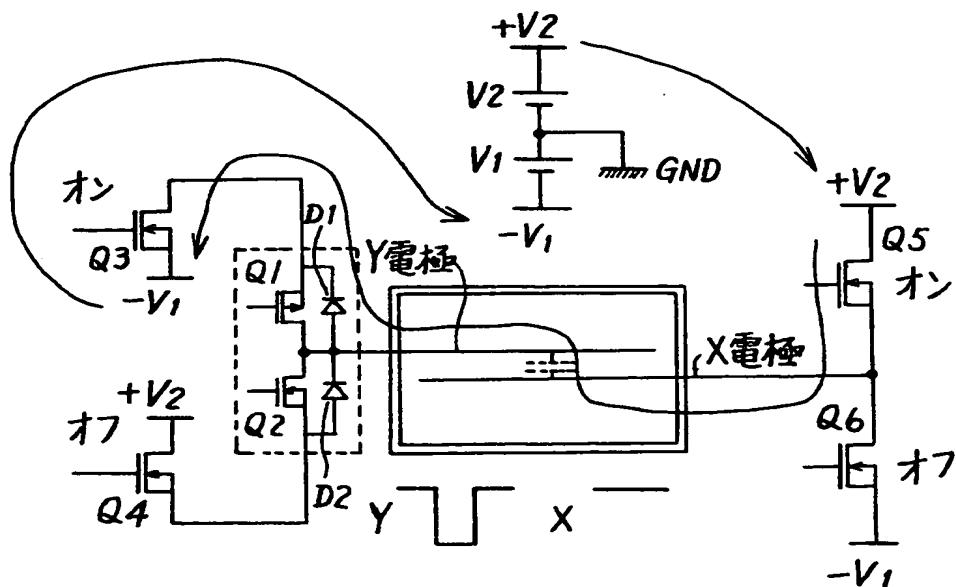
【図5】

駆動方法(2)

(a) 駆動波形



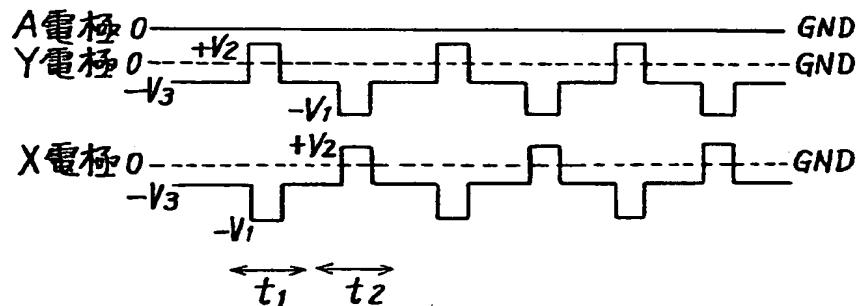
(b) 駆動回路



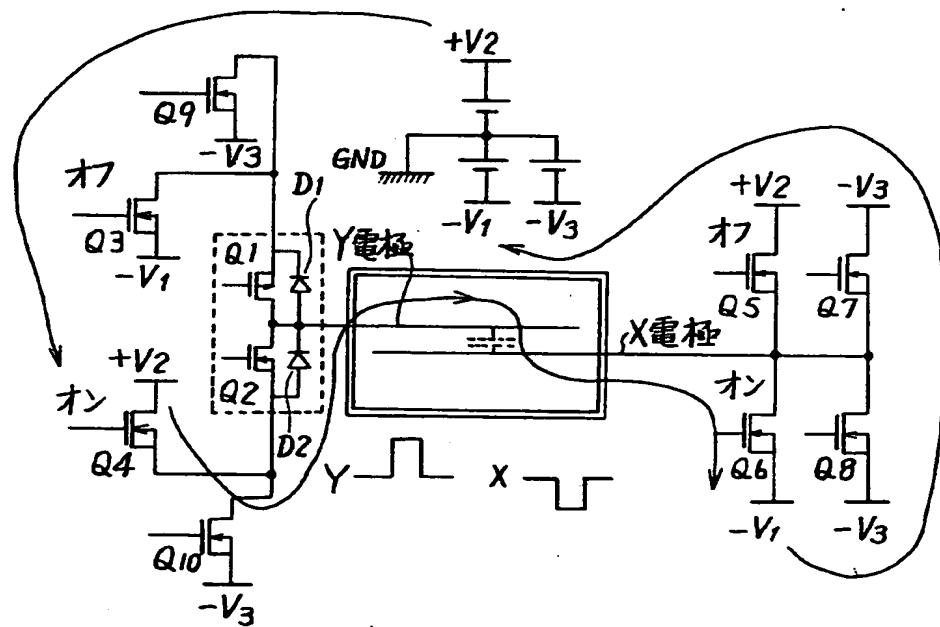
【図6】

駆動方法(3)

(a) 駆動波形



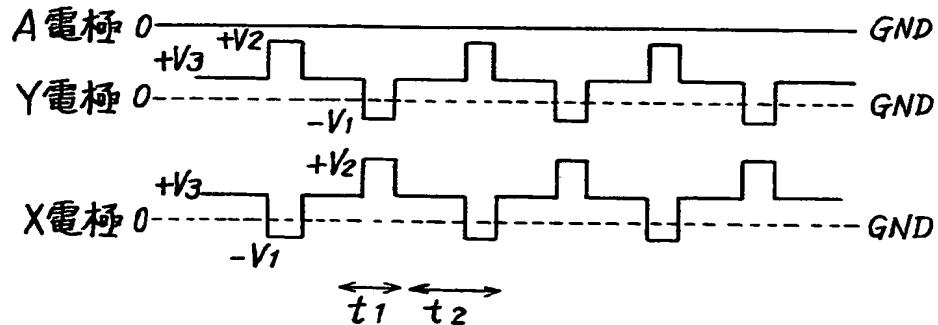
(b) 駆動回路



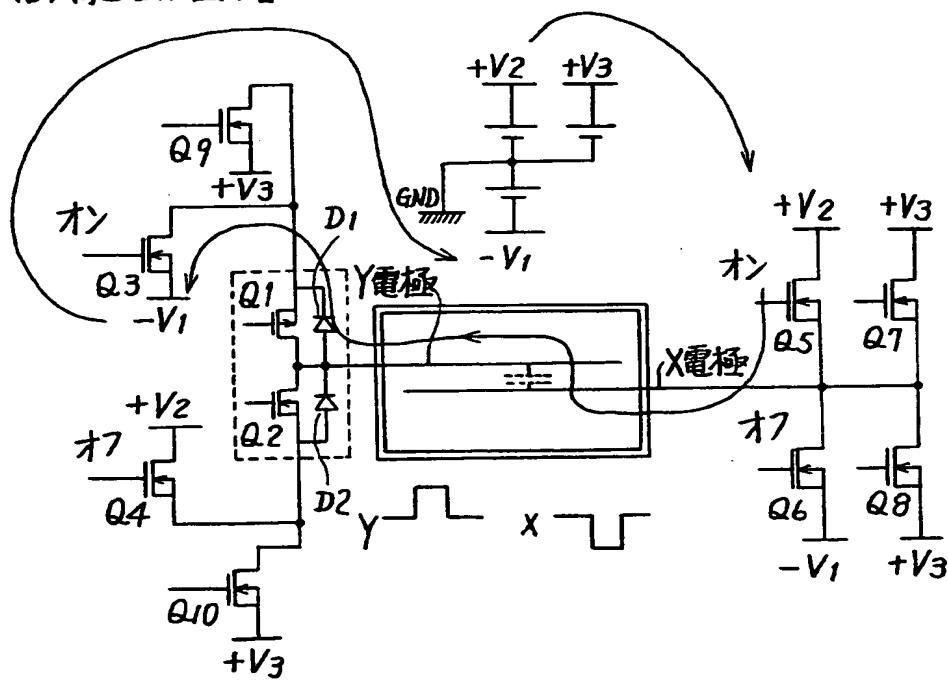
【図7】

駆動方法(4)

(a) 駆動波形

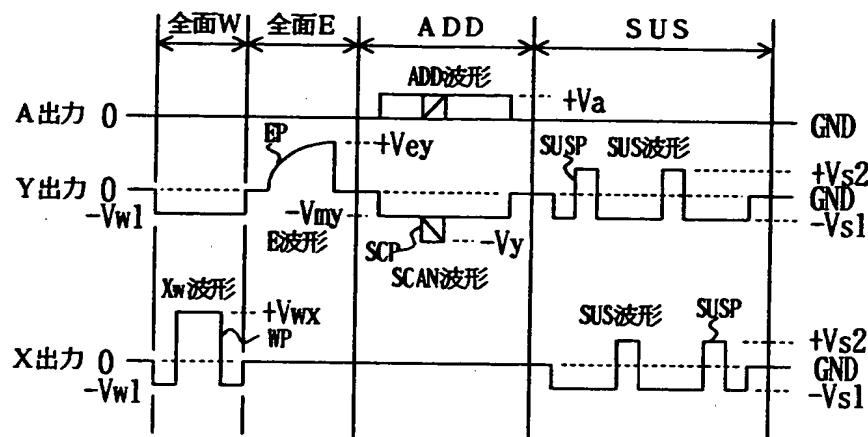


(b) 駆動回路



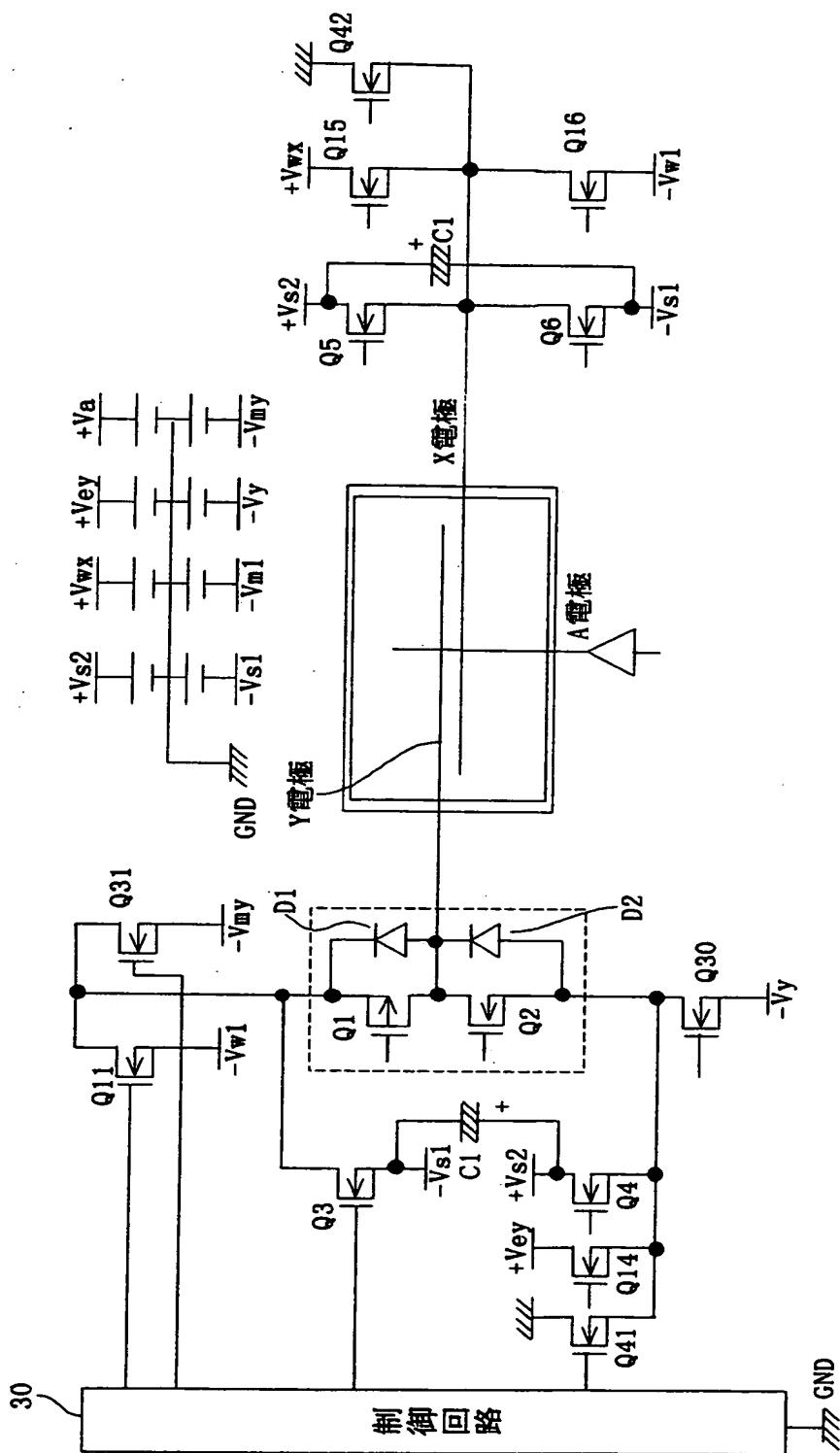
【図8】

第1の実施の形態例の駆動波形



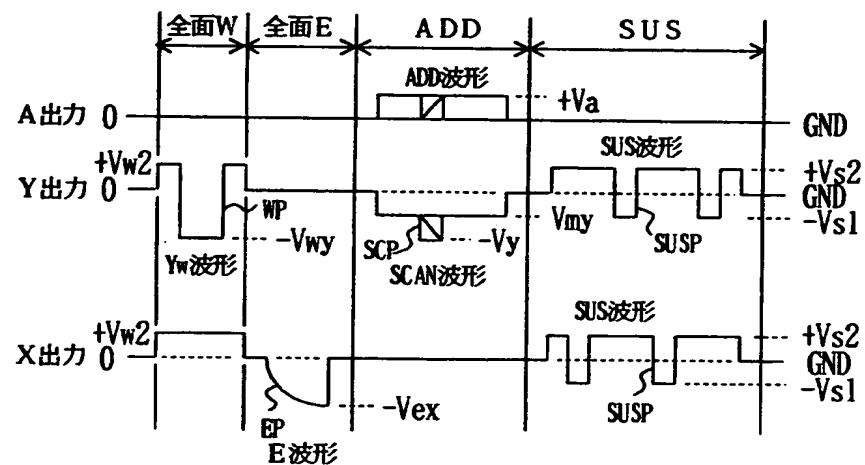
【図9】

第1の実施の形態例の駆動回路



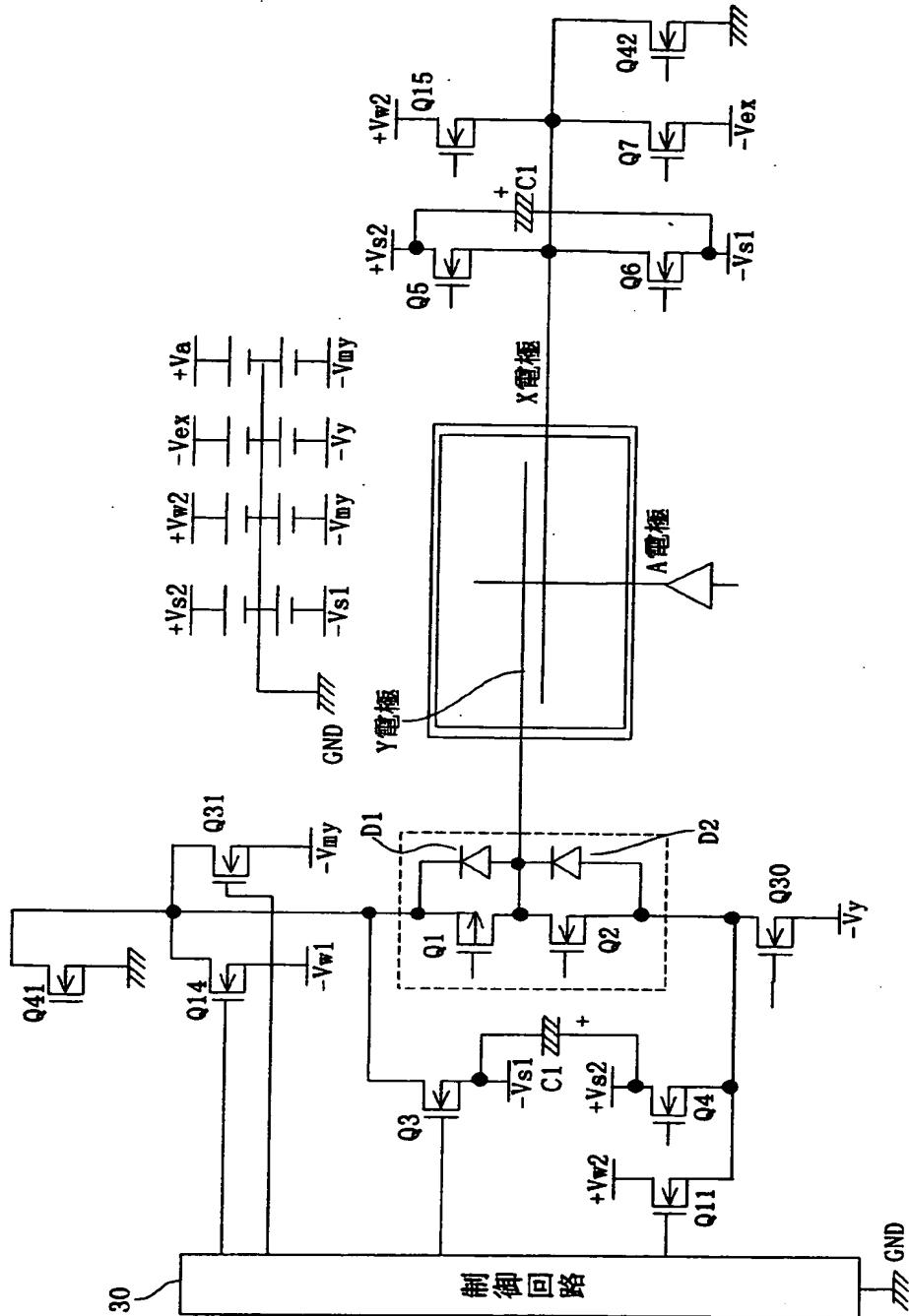
【図10】

第2の実施の形態例の駆動波形



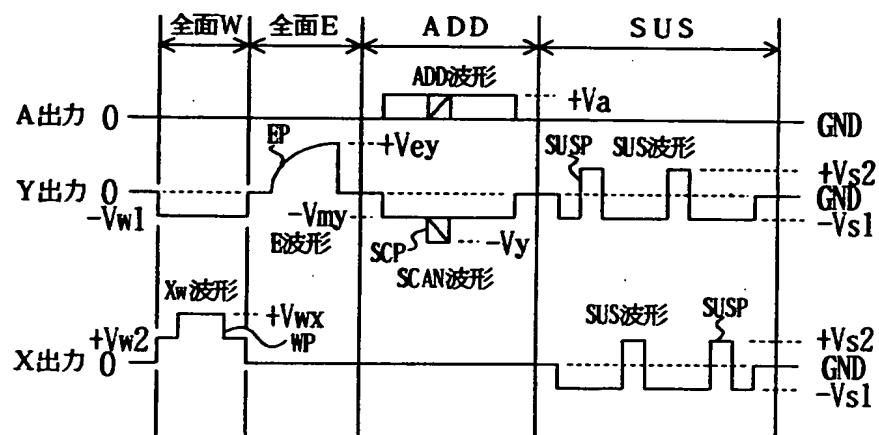
【図11】

第2の実施の形態例の駆動回路



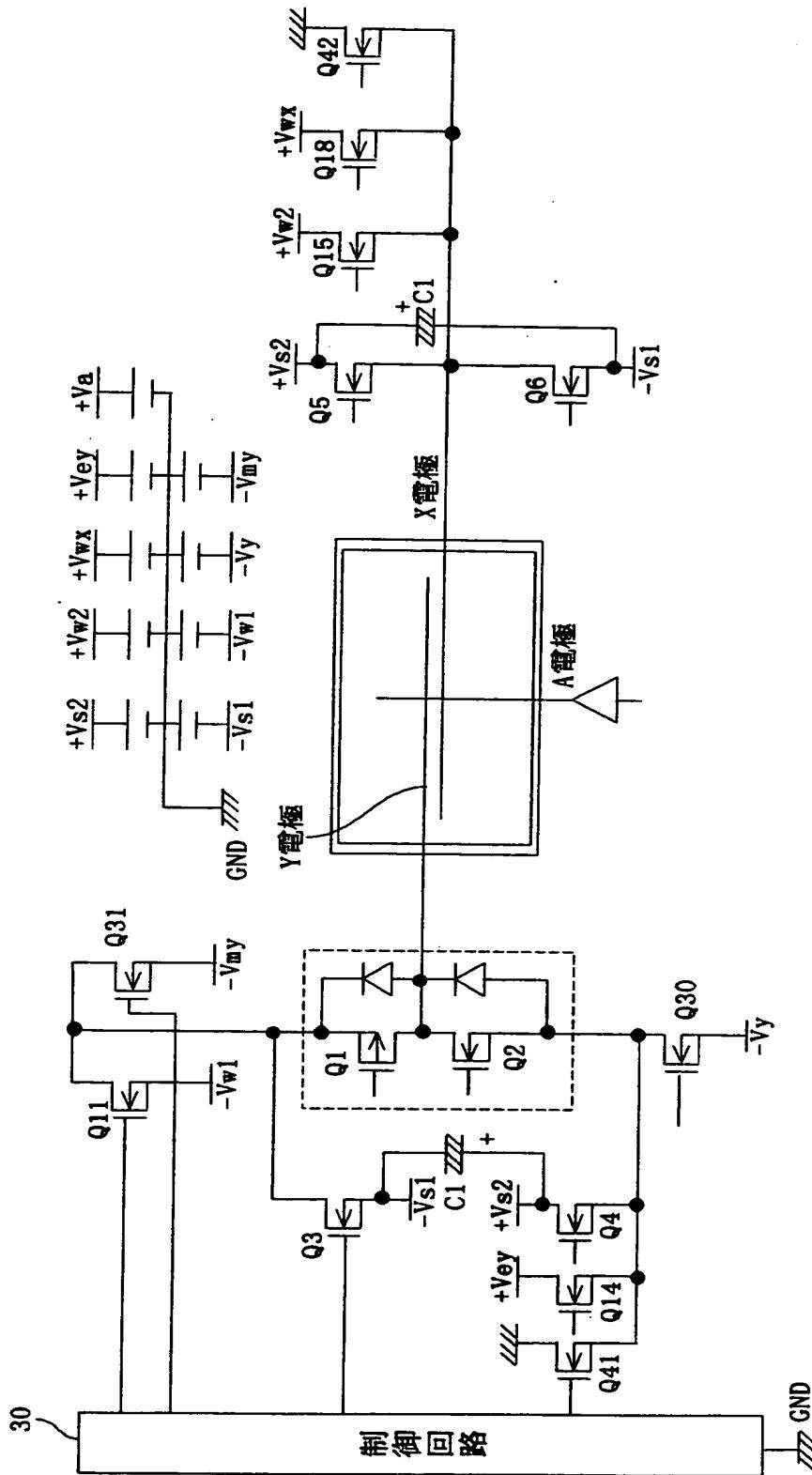
【図12】

第3の実施の形態例の駆動波形



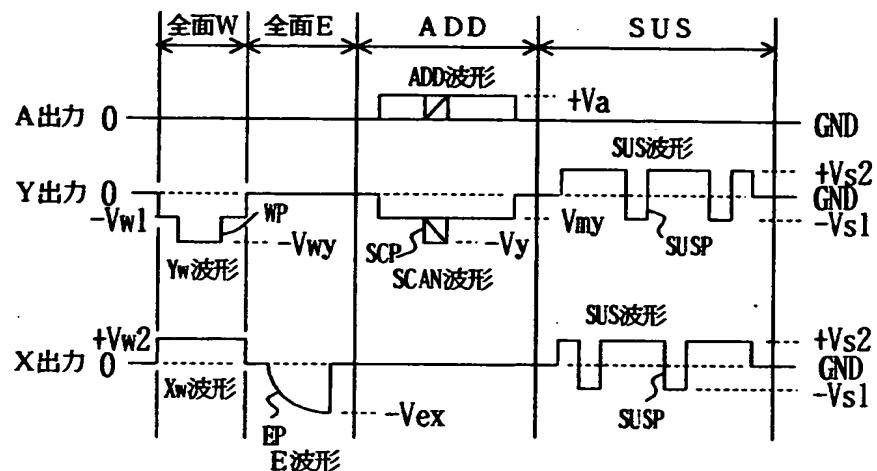
【図13】

第3の実施の形態例の駆動回路



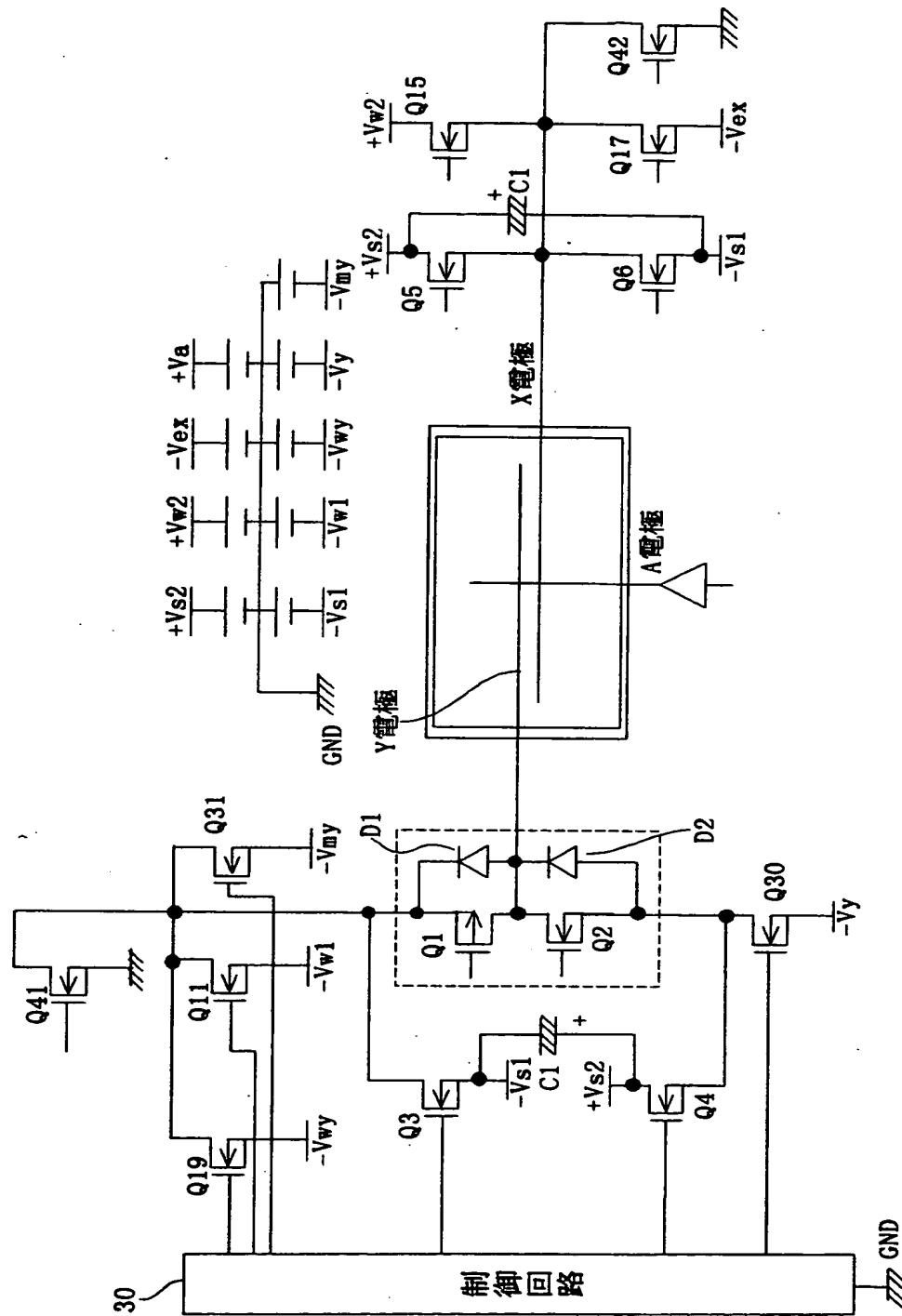
【図14】

第4の実施の形態例の駆動波形



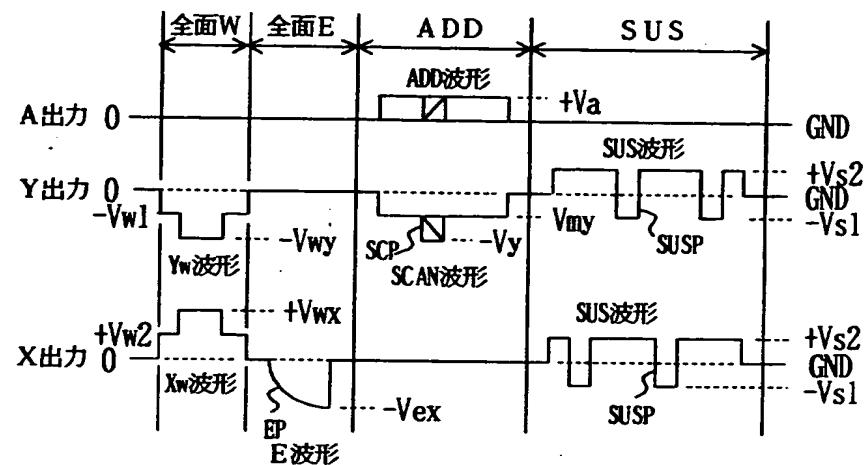
【図15】

第4の実施の形態例の駆動回路



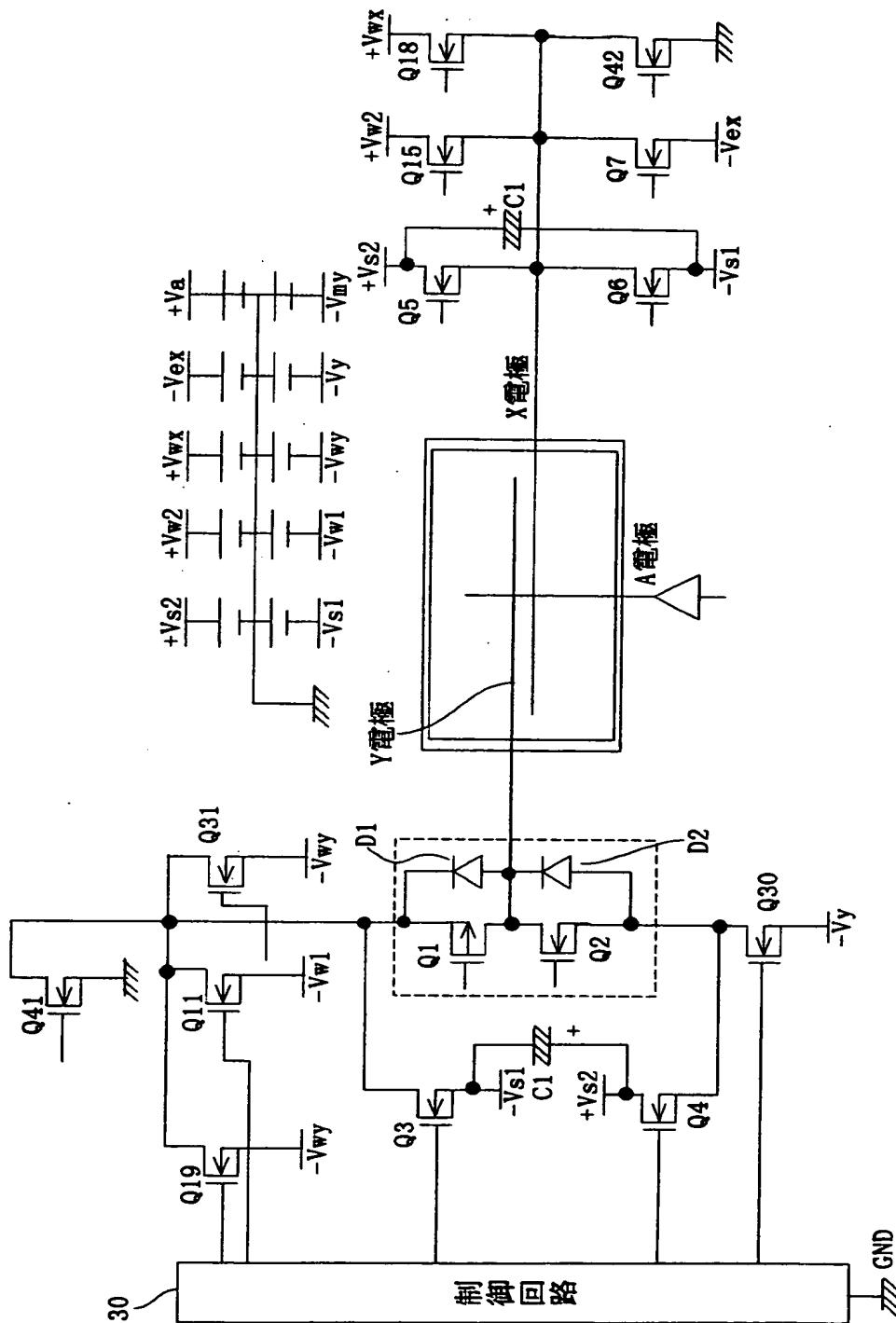
【図16】

第5の実施の形態例の駆動波形



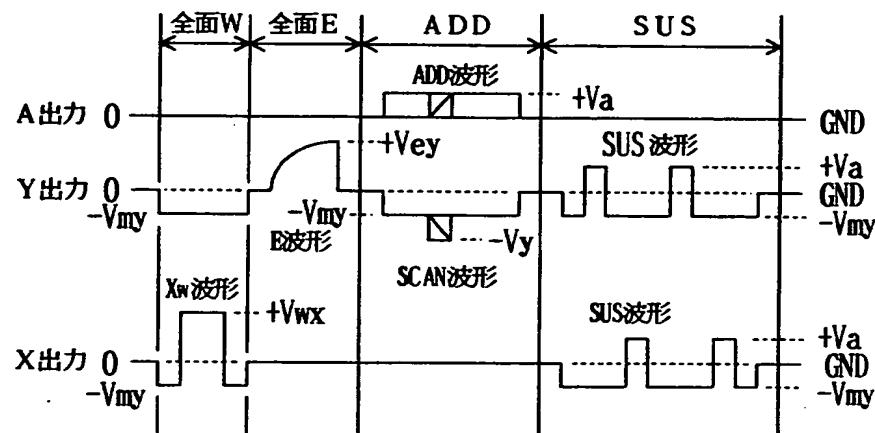
【図17】

第5の実施の形態例の駆動回路

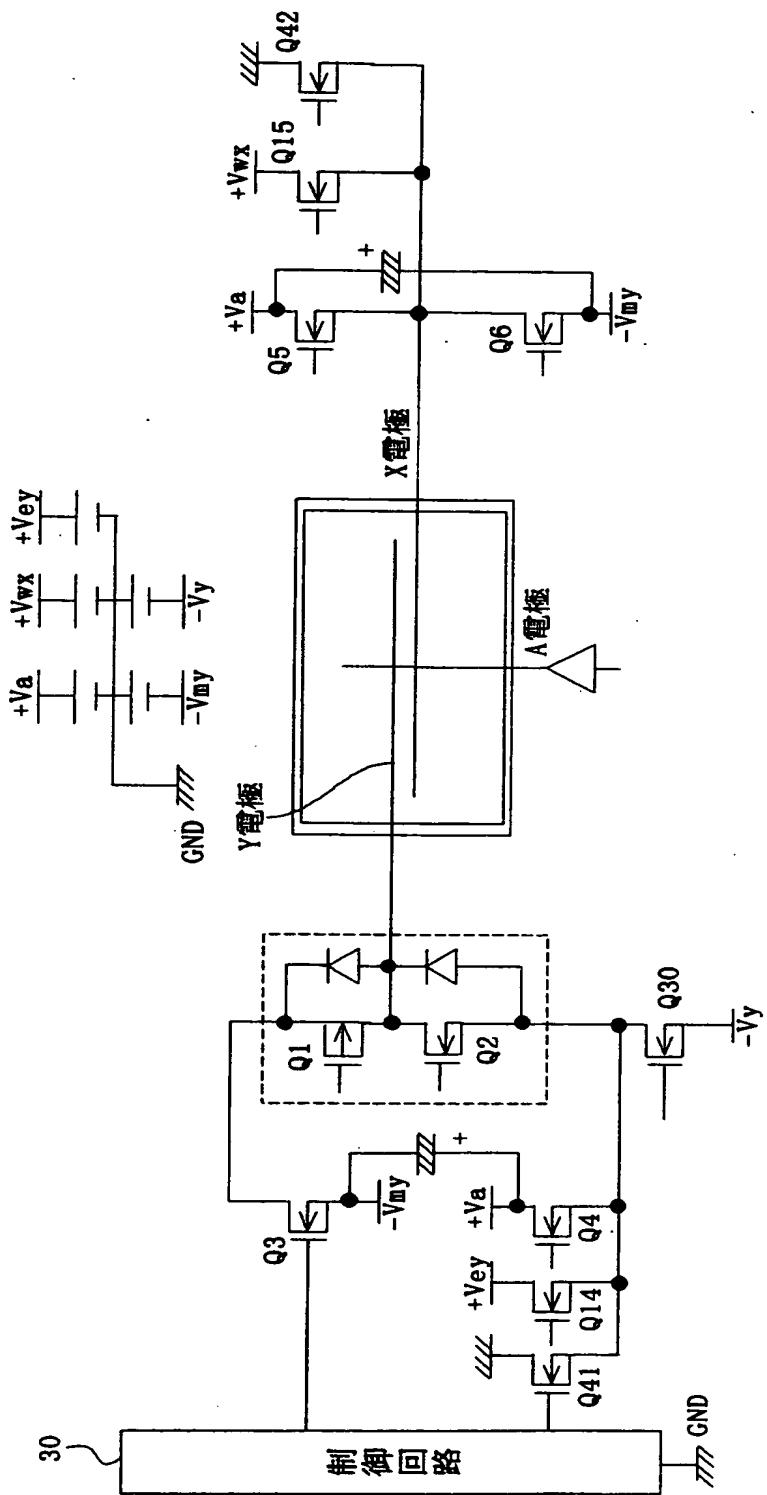


【図18】

第6の実施の形態例の駆動波形



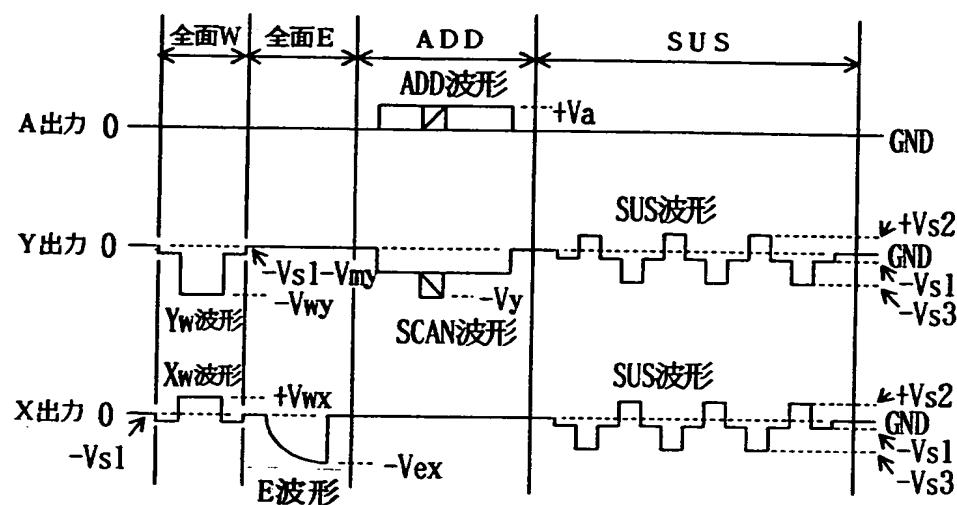
【図19】



第6の実施の形態例の駆動回路

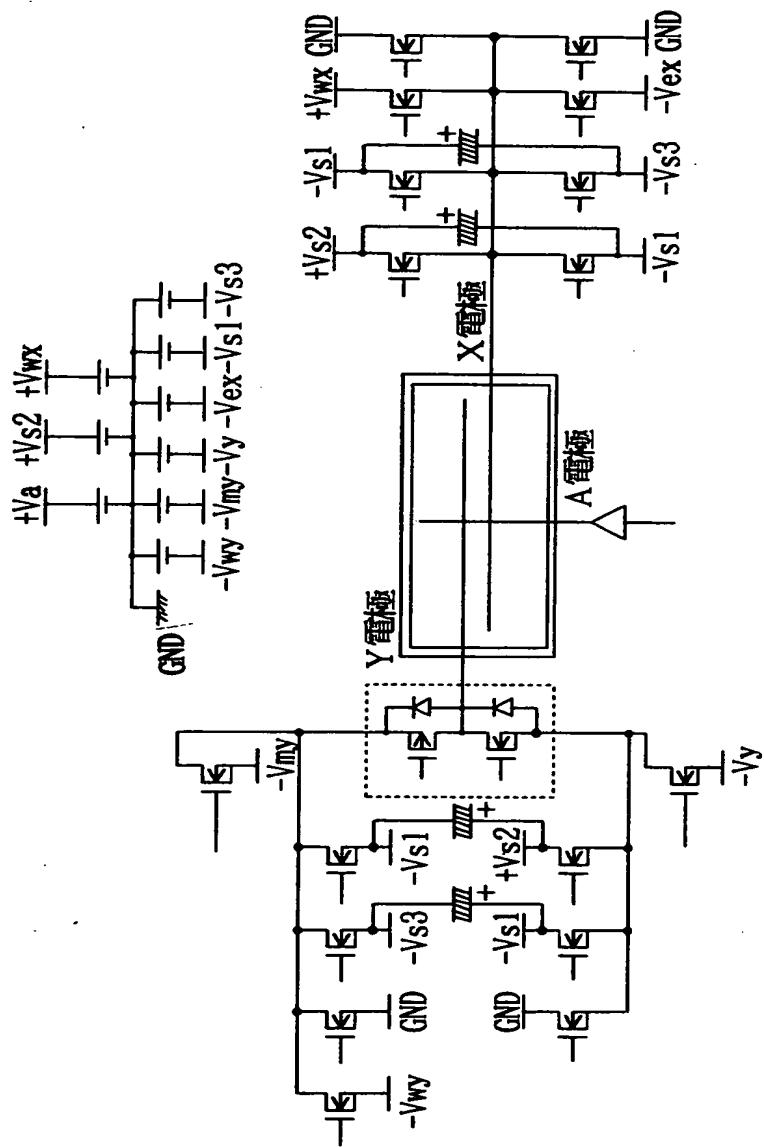
【図20】

第7の実施の形態例の駆動波形



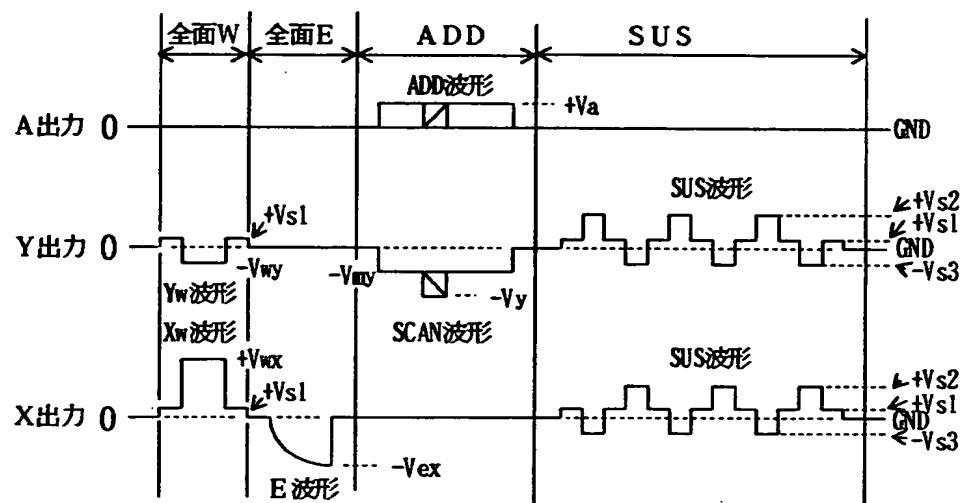
【図21】

第7の実施の形態例の駆動回路



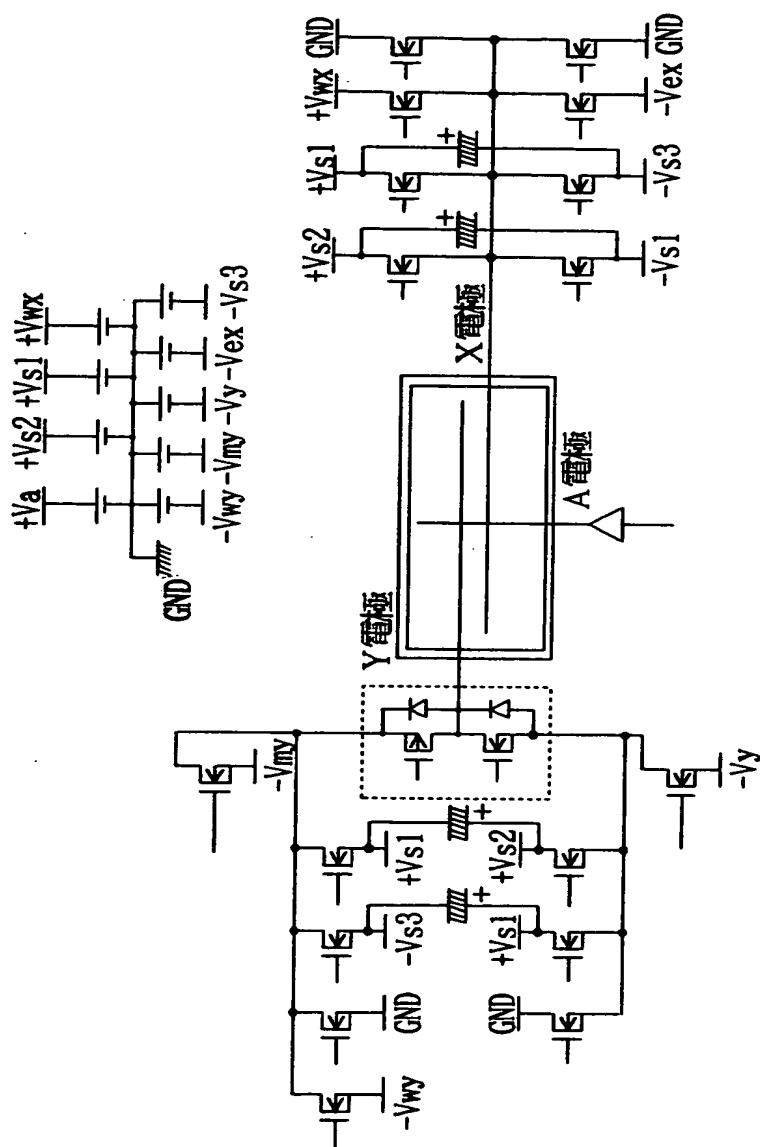
【図22】

第8の実施の形態例の駆動波形



【図23】

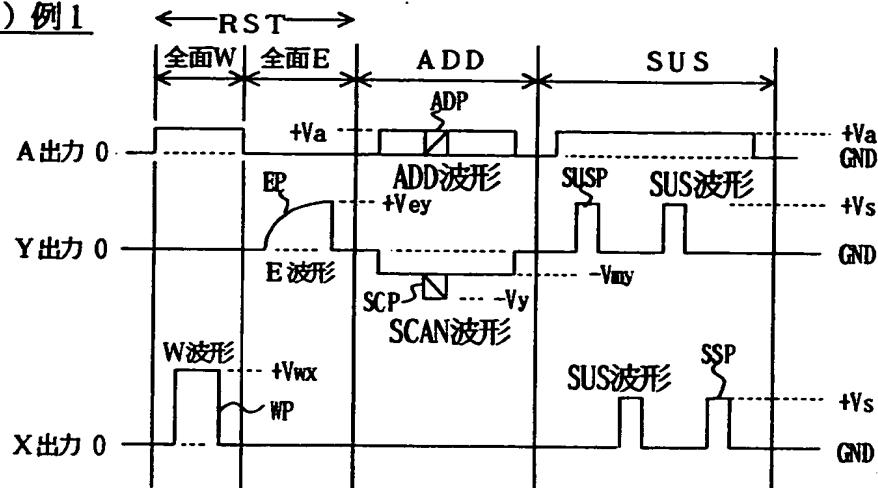
第8の実施の形態例の駆動回路



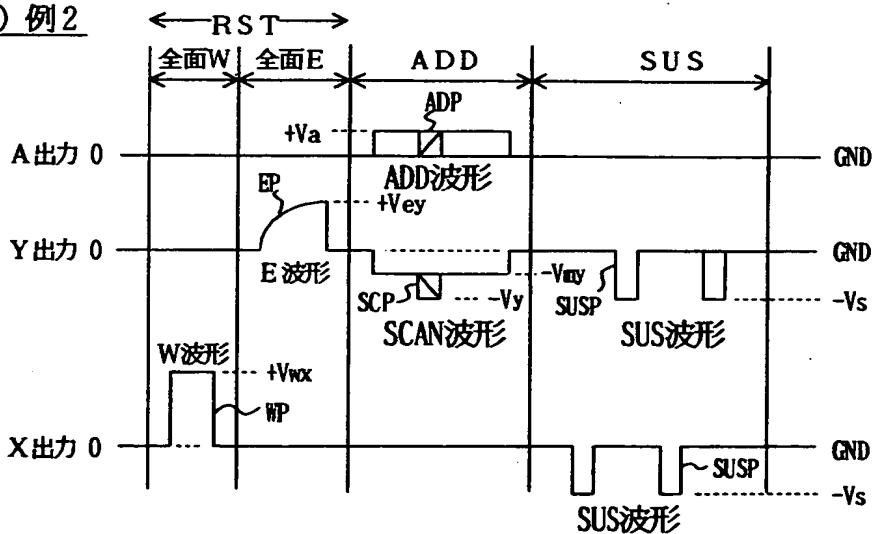
【図24】

従来例

(a) 例1



(b) 例2



【書類名】

要約書

【要約】

【課題】ガス放電時に電極間に発生するピーク性の過大電流がグランド電源に流れるのを防止する。

【解決手段】本発明は、一対の表示電極間に放電電圧パルスの印加を、電極をグランド電源とは異なる基準電源から所定の電圧をもつ第1の電源に接続し、更に基準電源に戻すことにより行う。その結果、放電電圧パルスの印加に伴うガス放電電流や容量充放電電流が、グランド電源線に流れることが防止される。上記の放電電圧パルスの印加によるガス放電電流や容量充放電電流は、グランド電源とは電気的に分離された基準電源や第1の電源に流れ、グランド電源線には流れず、グランド電源上にノイズが発生することはない。

【選択図】図4

認定・付加情報

特許出願の番号	平成10年 特許願 第374269号
受付番号	59800858411
書類名	特許願
担当官	岡田 幸代 1717
作成日	平成11年 2月23日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二
【代理人】	
【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

次頁無